

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-343913

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

G09F 9/30

G02F 1/1333

G02F 1/1345

(21)Application number : 2001-014354

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.01.2001

(72)Inventor : MURAIDE MASAO

(30)Priority

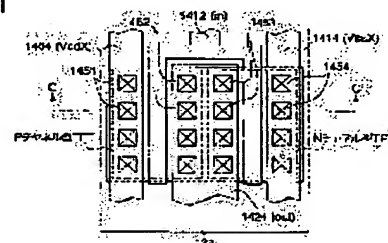
Priority number : 2000087151 Priority date : 27.03.2000 Priority country : JP

(54) ELECTROOPTIC DEVICE, ITS PRODUCTION METHOD AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the difference in level in a packaging terminal 107 and wiring 171 which extends thereto.

SOLUTION: In a board 10, a groove 12 is provided in a portion where the wiring 171 extending to the packaging terminal 107 is formed. Then, while covering the packaging terminal 107 and the wiring 171 with the second interlayer dielectric 42, an aperture 42a is set in the portion corresponding to the packaging terminal 107.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The electro-optic device characterized by providing the mounting terminal which is formed on the substrate which becomes in two or more layers, the insulator layer formed in the outside surface of said substrate, said insulator layer, and an abbreviation same flat surface, and inputs a picture signal, said mounting terminal, and wiring which flowed.

[Claim 2] the electro-optic device according to claim 1 characterized by preparing the slot which the layer which constitutes said substrate is further alike at least, and forms the field of said mounting terminal.

[Claim 3] The electro-optic device according to claim 2 characterized by preparing the electric conduction film which accomplishes said mounting terminal in the slot which forms the field of said mounting terminal.

[Claim 4] The electro-optic device according to claim 2 or 3 characterized by preparing the slot for wiring which stands in a row at least into the slot of said wiring of the layer which constitutes said substrate much more at least which forms the field of said mounting terminal in the bottom of the field by the side of said mounting terminal.

[Claim 5] The insulator layer formed in the outside surface of said substrate is an electro-optic device according to claim 4 characterized by being formed in the field of the slot which forms the field of said mounting terminal, and the field of the slot which forms said wiring.

[Claim 6] Said mounting terminal is an electro-optic device according to claim 1 to 5 characterized by being formed by the multilayer electric conduction film.

[Claim 7] The electro-optic device according to claim 3 to 5 characterized by forming the film for height adjustment of at least one layer in the bottom of the field of the slot which forms the field of said mounting terminal.

[Claim 8] Said depth of flute is an electro-optic device according to claim 7 characterized by being the sum total and abbreviation identitas of the thickness of said mounting terminal, and the thickness of the film for said height adjustment.

[Claim 9] The film for said height adjustment is an electro-optic device according to claim 7 or 8 characterized by being at least one wiring among wiring formed in said viewing area, and wiring which accomplishes said circumference circuit.

[Claim 10] said depth of flute -- the thickness of said wiring, and abbreviation -- the electro-optic device according to claim 2 to 6 characterized by the same thing.

[Claim 11] the electro-optic device characterized by to provide said wiring formed in the field corresponding to the slot in which wiring which is further alike at least and results in said mounting terminal is formed, and which boiled a part at least and was prepared and said slot of the substrate which becomes in two or more layers, the mounting terminal which are prepared on said substrate and input a picture signal, and the layer which constitute said substrate, and the insulator layer which were formed on said wiring.

[Claim 12] Said insulator layer which said mounting terminal was formed by the electric conduction film which accomplishes said wiring, and was formed on said wiring is an electro-optic device according to

claim 11 characterized by having exposed said mounting terminal.

[Claim 13] The electro-optic device according to claim 11 or 12 characterized by the front face of said mounting terminal and the front face of said insulator layer being the height of abbreviation identitas.

[Claim 14] Said slot is an electro-optic device according to claim 11 to 13 characterized by being formed in the field surrounding said mounting terminal, and forming said wiring on the field surrounding said mounting terminal.

[Claim 15] The electro-optic device according to claim 14 characterized by the front face of said insulator layer formed on said wiring and the front face of said insulator layer which adjoined the field in which said wiring was formed being the height of abbreviation identitas.

[Claim 16] Said wiring is an electro-optic device according to claim 11 to 15 characterized by being formed with wiring formed in a viewing area.

[Claim 17] Said wiring is an electro-optic device according to claim 11 to 15 characterized by being formed with wiring which accomplishes the circumference circuit formed in the perimeter of a viewing area.

[Claim 18] Said wiring is an electro-optic device according to claim 11 to 15 characterized by being formed with wiring which accomplishes the circumference circuit formed in the perimeter of wiring formed in a viewing area, and said viewing area.

[Claim 19] The electro-optic device according to claim 11 to 18 characterized by forming the film for height adjustment of at least one layer in the bottom of the field of said wiring.

[Claim 20] Said depth of flute is an electro-optic device according to claim 19 characterized by being the sum total and abbreviation identitas of the thickness of said wiring, and the thickness of the film for said height adjustment.

[Claim 21] The film for said height adjustment is an electro-optic device according to claim 19 or 20 characterized by being at least one wiring among wiring formed in said viewing area, and wiring which accomplishes said circumference circuit.

[Claim 22] said depth of flute -- the thickness of said wiring, and abbreviation -- the electro-optic device according to claim 11 to 18 characterized by the same thing.

[Claim 23] The substrate which becomes in two or more layers, the viewing area formed on said substrate, and wiring arranged in said viewing area, The circumference circuit which was formed around said viewing area on said substrate, and was electrically connected to said wiring, Wiring which connected electrically the mounting terminal formed on said substrate, and said circumference circuit and said mounting terminal, the electro-optic device characterized by providing the insulator layer formed on the slot established in the part in which is resembled further at least and said circumference circuit is formed and said circumference circuit of the layer which constitutes said substrate.

[Claim 24] The substrate which becomes in two or more layers, the viewing area formed on said substrate, and wiring arranged in said viewing area, The circumference circuit which was formed around said viewing area on said substrate, and was electrically connected to said wiring, Wiring which connected electrically the mounting terminal formed on said substrate, and said circumference circuit and said mounting terminal, the layer which constitutes said substrate being further alike at least, and with the slot established in the part in which said circumference circuit is formed The electro-optic device characterized by providing the insulator layer which accomplishes the outside surface formed in the field of the slot which forms the field of said mounting terminal, and the slot which forms the slot of said circumference circuit, and the field of said mounting terminal.

[Claim 25] The substrate which becomes in two or more layers, the viewing area formed on said substrate, and wiring arranged in said viewing area, The circumference circuit which was formed around said viewing area on said substrate, and was electrically connected to said wiring, Wiring which connected electrically the mounting terminal formed on said substrate, and said circumference circuit and said mounting terminal, the layer which constitutes said substrate being further alike at least, and with the slot established in the part in which wiring arranged in said viewing area is formed the layer

which constitutes said substrate being further alike at least, and with the slot established in the part in which said circumference circuit is formed The electro-optic device characterized by providing the insulator layer which accomplishes the outside surface formed in the field of the slot which forms the field of said mounting terminal, and the slot which forms the slot of said circumference circuit, and the field of said mounting terminal.

[Claim 26] The substrate which becomes in two or more layers, the viewing area formed on said substrate, and the data line arranged in said viewing area, The data-line drive circuit formed along with one side of said viewing area, and the mounting terminal formed so that it might counter with one side of said viewing area across said data-line drive circuit, the electro-optic device characterized by providing the slot which the layer which constitutes said substrate resembles further at least the signal line which is electrically connected with said mounting terminal and supplies a picture signal to said data line, and forms the field of a mounting terminal, and the insulator layer to which the outside surface of said substrate was accomplished and said mounting terminal was exposed.

[Claim 27] the electro-optic device according to claim 26 characterized by forming a slot in the part in which the layer which constitutes said substrate resembles further at least, and said signal line is formed at least in the field between said data-line drive circuits and said mounting terminals.

[Claim 28] the electro-optic device according to claim 26 or 27 characterized by forming a slot in the part in which the layer which constitutes said substrate resembles further at least, and said data-line drive circuit is formed.

[Claim 29] The electro-optic device according to claim 26 to 28 characterized by having the sampling circuit which controls supply of a picture signal to said data line in said data-line drive circuit between one side and said data-line drive circuits of said viewing area.

[Claim 30] the electro-optic device according to claim 29 characterized by forming the slot established in the part in which the layer which constitutes said substrate resembles further at least, and said sampling circuit is formed.

[Claim 31] The electro-optic device according to claim 26 to 30 characterized by forming the orientation film in said viewing area, and the direction of rubbing of said orientation film going to said viewing area from said mounting terminal.

[Claim 32] Electronic equipment characterized by providing the light source which carries out outgoing radiation of the light, the electro-optic device according to claim 1 to 31 which performs the modulation corresponding to image information for the outgoing radiation light by said light source, and the delivery system which projects the light modulated by said electro-optic device.

[Claim 33] It is the manufacture approach of the electro-optic device which displays a predetermined image according to the signal inputted through the mounting terminal prepared on the substrate which becomes in two or more layers. the manufacture approach of the electro-optic device characterized by having the process which establishes a slot in the part in which wiring which the layer which constitutes said substrate is further alike at least, and results in said mounting terminal should be formed, the process which forms said wiring in the field corresponding to said slot, and the process which carries out the laminating of the insulator layer on said wiring.

[Claim 34] Said mounting terminal is the manufacture approach of the electro-optic device according to claim 33 characterized by including the process which exposes the mounting terminal covered by said insulator layer after the process which is formed in the process and coincidence which form said wiring, and carries out the laminating of said insulator layer.

[Claim 35] The process which exposes said mounting terminal is the manufacture approach of the electro-optic device according to claim 34 characterized by being the process which grinds said insulator layer.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electronic equipment which used the electro-optic device concerned for the electro-optic device which reduced the level difference in the formation field of the mounting terminal which inputs the signal from an external circuit, and its manufacture approach list at the display.

[0002]

[Description of the Prior Art] Using liquid crystal for an electro-optic device, for example, electrooptic material, generally, the liquid crystal equipment which performs a predetermined display has the composition that liquid crystal was pinched between the substrates of a pair. The liquid crystal equipment of the active-matrix mold which drives for example, a pixel electrode by the switching element of 3 terminal molds has the following composition among these. namely, to one substrate, among the substrates of the pair which constitutes this kind of liquid crystal equipment While being prepared so that two or more scanning lines and two or more data lines may cross mutually Corresponding to each for these intersections, the pair of a 3 terminal mold switching element like TFT (Thin Film Transistor: thin film transistor) and a pixel electrode is prepared. Furthermore, the circumference circuit for driving each of the scanning line and the data line is prepared around the field (viewing area) in which these pixel electrodes are prepared. Moreover, the transparent counterelectrode which counters a pixel electrode is prepared in the substrate of another side. It adds, and while the orientation film by which the direction of a major axis of a liquid crystal molecule is between both substrates, for example, rubbing processing was carried out so that it might be twisted continuously about 90 degrees is prepared, respectively, the polarizer according to the direction of orientation is prepared in the opposed face of both substrates at each that tooth-back side, respectively.

[0003] Here, a picture signal usually has composition sampled by each data line to suitable timing by the sampling switch while being supplied through a picture signal line. Moreover, the switching element prepared in a part for the intersection of the scanning line and the data line is turned on if the scan signal impressed to the corresponding scanning line serves as active level, and it supplies the picture signal sampled by the corresponding data line to a pixel electrode. Furthermore, the counterelectrode prepared in the opposite substrate is maintained by fixed potential.

[0004] In such a configuration, when the scan signal supplied to each scanning line and the sampling signal which controls a sampling switch are supplied by the circumference circuit to suitable timing, the electrical-potential-difference actual value according to a picture signal will be impressed to the liquid crystal capacity which consists of liquid crystal pinched between a pixel electrode, a counterelectrode, and two electrodes for every pixel.

[0005] Under the present circumstances, as a result of a liquid crystal molecule's inclining in the direction of electric field as an electrical-potential-difference difference becomes large while carrying out the rotatory polarization about 90 degrees in accordance with torsion of a liquid crystal molecule if the electrical-potential-difference difference with which the light which passes through between a pixel electrode and counterelectrodes is impressed between two electrodes is zero, that optical activity

disappears. For this reason, while light will penetrate if the electrical-potential-difference difference impressed to two electrodes is zero when the polarizer with which an incidence and tooth-back side and a polarization shaft cross at right angles mutually in the electro-optic device of a transparency mold according to the direction of rubbing is arranged, respectively, light will intercept, for example as the electrical-potential-difference difference impressed to two electrodes becomes large. For this reason, a predetermined display is possible by controlling the electrical potential difference impressed to a pixel electrode for every pixel.

[0006] By the way, the rubbing processing mentioned above is processing in which are rotating the buff cloth wound around the roller generally, and organic film front faces, such as polyimide, are ground in the fixed direction (the direction of rubbing). And it is said that the polymer principal chain of the organic film is extended in the direction of rubbing, and a liquid crystal molecule arranges along the extension direction concerned by this rubbing processing.

[0007]

[Problem(s) to be Solved by the Invention] However, a pixel electrode, a switching element and the scanning line, the data line, and a circumference circuit were established for while especially in the substrate side in which the orientation film is formed, and the level difference of 500nm – about 1000nm has arisen by existence, such as various wiring and various components, the existence of a contact hole, etc. in the substrate side of a substrate. Even if it forms the orientation film in the substrate side which such a level difference has produced, a level difference will arise on the front face of the orientation film too. Furthermore, if rubbing processing is performed on such orientation film, as a result of the hair ends of a buff cloth scratching with a level difference and being confused, the degree to grind will become an ununiformity covering the whole substrate side. And the display nonuniformity considered for a liquid crystal molecule not to carry out orientation to the substrate with which rubbing processing was performed to the ununiformity in the fixed direction if liquid crystal is poured in and closed in this way occurs. The stripe-like display nonuniformity which met in the direction of rubbing specifically occurred, and there was a problem of reducing display grace.

[0008] The place which it was made in view of the situation mentioned above, and is made into the purpose has this invention in reducing the level difference in a substrate front face, and offering the electro-optic device which controlled generating of the fault on the display resulting from uneven rubbing processing, its manufacture approach, and electronic equipment.

[0009]

[Means for Solving the Problem] First, the artificer in this case thought that the level difference to which display grace is most reduced among the level differences mentioned above was a level difference produced from an external circuit with wiring pulled out from the mounting terminals which input various signals; and these mounting terminals.

[0010] If this point is explained in full detail, since the switching element connected to a pixel electrode and this will be prepared corresponding to a part for each intersection of the scanning line and the data line, these array pitches are dependent on the array pitch of the scanning line and the data line. Moreover, since the circumference circuit containing a sampling switch is prepared corresponding to the scanning line or the data line, it depends for it on the array pitch of the scanning line and the data line also about the array pitch of the component which constitutes a circumference circuit. Therefore, since it generates in the same twice as the array pitch of a pixel, or its integral multiple, the display nonuniformity resulting from the level difference of these components, wiring, etc. is considered not to be comparatively conspicuous on a display.

[0011] On the other hand, the viewpoint which shortens the wire length by which a mounting terminal is pulled out from here, The data-line drive circuit for driving the sampling switch and the data line which were mentioned above from a viewpoint which secures the symmetry of the whole equipment is approached. And it is arranged along the extension direction (namely, direction which intersects the extension direction of the data line) of the scanning line, and further, from a viewpoint which makes

connection with the exterior easy, it is larger than the array pitch of the scanning line or the data line for whether your being Haruka, namely, the array pitch of the scanning line or the data line is formed independently. Therefore, the display nonuniformity resulting from the level difference of wiring which results in a mounting terminal and these is considered to be very conspicuous.

[0012] (1) The electro-optic device built over invention of the 1st in this case there is characterized by providing the mounting terminal which is formed on the substrate which becomes in two or more layers, the insulator layer formed in the outside surface of said substrate, said insulator layer, and an abbreviation same flat surface, and inputs a picture signal, said mounting terminal, and wiring which flowed.

[0013] Since it can reduce that a level difference arises on the front face of a mounting terminal, and the front face of the circumference of it according to this configuration, turbulence of the hair ends of the buff cloth in rubbing processing is suppressed.

[0014] (2) in the 1st invention, the layer which constitutes said substrate is further alike at least, and it is characterized by preparing the slot which forms the field of said mounting terminal.

[0015] According to this configuration, the level difference of the front face of a mounting terminal and the front face of the insulator layer formed in a slot can be reduced.

[0016] (3) Moreover, in the 1st invention, it is characterized by preparing the electric conduction film which accomplishes said mounting terminal in the slot which forms the field of said mounting terminal.

[0017] Since according to this configuration a slot can be used as a margin even if the pattern for forming the electric conduction film shifts, the electric conduction film can be certainly formed in the field of a mounting terminal.

[0018] (4) Moreover, in the 1st invention, it is characterized by preparing the slot for wiring which stands in a row at least into the slot of said wiring of the layer which constitutes said substrate much more at least which forms the field of said mounting terminal in the bottom of the field by the side of said mounting terminal.

[0019] According to this configuration, the level difference of wiring which results in a mounting terminal can be reduced.

[0020] (5) Moreover, in the 1st invention, the insulating layer formed in the outside surface of said substrate is characterized by being formed in the field of the slot which forms the field of said mounting terminal, and the field of the slot which forms said wiring.

[0021] According to this configuration, the level difference of wiring which results in a mounting terminal with the level difference of the front face of a mounting terminal and the front face of an insulator layer can be reduced.

[0022] (6) Moreover, in the 1st invention, said mounting terminal is characterized by being formed by the multilayer electric conduction film.

[0023] According to this configuration, while making the electric conduction film by the side of a lower layer into the conductive layer of a pixel field or a circumference circuit in common, it can form with the ingredient which set the electric conduction film by the side of the upper layer by the connection object connected to a mounting terminal.

[0024] (7) Moreover, in the 1st invention, it is characterized by forming the film for height adjustment of at least one layer in the bottom of the field of the slot which forms the field of said mounting terminal.

[0025] According to this configuration, the depth of flute and the thickness of a mounting terminal can be adjusted, and the front face of the insulator layer formed on the field of a slot can be made into homogeneity.

[0026] (8) moreover, the 1st invention -- setting -- said depth of flute -- the sum total of the thickness of said mounting terminal, and the thickness of the film for said height adjustment, and abbreviation -- it is characterized by the same thing.

[0027] According to this configuration, since it becomes datum level and abbreviation identitas, the front face of the electric conduction film of the mounting terminal formed in a slot becomes possible

[removing the level difference around a mounting terminal nearly completely].

[0028] (9) Moreover, in the 1st invention, the film for said height adjustment is characterized by being at least one wiring among wiring formed in said viewing area, and wiring which accomplishes said circumference circuit.

[0029] Since wiring formed in a viewing area and wiring which accomplishes a circumference circuit are used in common according to this configuration, it is much more advantageous to a process.

[0030] (10) said depth of flute -- the thickness of said wiring, and abbreviation -- it is characterized by the same thing.

[0031] According to this configuration, it is not necessary to use the film for height adjustment.

[0032] (11) The electro-optic device built over invention of the 2nd in this case there The substrate which becomes in two or more layers, and the mounting terminal which is prepared on said substrate and inputs a picture signal, it is characterized by providing said wiring formed in the field corresponding to the slot in which wiring which is further alike at least and results in said mounting terminal is formed, and which boiled the part at least and was prepared and said slot of the layer which constitutes said substrate, and the insulator layer formed on said wiring.

[0033] According to this configuration, the front face of wiring formed in the slot becomes low by the depth of flute as compared with the front face of a mounting terminal (pad). For this reason, since the level difference of the insulator layer formed on wiring and the front face of a mounting terminal decreases, turbulence of the hair ends of the buff cloth in rubbing processing will be suppressed.

[0034] In addition, about a slot, you may form in a substrate directly and the laminated material on the substrate may be formed. Moreover, as wiring, low resistance metal membranes, such as aluminum, are desirable. Under the present circumstances, the wiring itself may be used as a pad and electric conduction film of a different kind, such as ITO (Indium Tin Oxide: indium stannic acid ghost) by which the laminating was further carried out for convenience' sake at the time of mounting etc. after wiring, may be used as a pad.

[0035] (12) As for said insulator layer which said mounting terminal was formed by the electric conduction film which accomplishes said wiring, and was formed on said wiring, in the 2nd invention, it is desirable to have exposed said mounting terminal.

[0036] (13) moreover, the 2nd invention -- setting -- the front face of said mounting terminal, and the front face of said insulator layer -- abbreviation -- it is desirable that it is the same height. According to this configuration, it becomes possible to remove nearly completely the level difference of wiring which results in a mounting terminal.

[0037] (14) Moreover, in the 2nd invention, it is characterized by forming said slot in the field surrounding said mounting terminal, and forming said wiring on the field surrounding said mounting terminal.

[0038] According to this configuration, the field of a mounting terminal can be formed by the slot. Moreover, an adjacent mounting terminal does not short-circuit.

[0039] (15) moreover, the front face of said insulator layer formed on said wiring in the 2nd invention and the front face of said insulator layer which adjoined the field in which said wiring was formed -- abbreviation -- it is desirable that it is the same height.

[0040] According to this configuration, it becomes possible to remove the level difference of wiring nearly completely.

[0041] (16) Moreover, in the 2nd invention, said wiring is characterized by being formed with wiring formed in a viewing area.

[0042] According to this configuration, since wiring can be formed with wiring formed in a viewing area, it does not need to increase a routing counter.

[0043] (17) Moreover, in the 2nd invention, said wiring is characterized by being formed with wiring which accomplishes the circumference circuit formed in the perimeter of a viewing area.

[0044] According to this configuration, since wiring can be formed with wiring which accomplishes a

- circumference circuit, it does not need to increase a routing counter.
- [0045] (18) Moreover, in the 2nd invention, said wiring is characterized by being formed with wiring which accomplishes the circumference circuit formed in the perimeter of wiring formed in a viewing area, and said viewing area.
- [0046] Since wiring which accomplishes wiring which results in a mounting terminal, wiring formed in a viewing area, and a circumference circuit is used in common according to this configuration, it is much more advantageous to a process.
- [0047] (19) Moreover, in the 2nd invention, it is characterized by forming the film for height adjustment of at least one layer in the bottom of the field of said wiring.
- [0048] According to this configuration, the depth of flute and the thickness of wiring can be adjusted and the front face of the insulator layer formed on wiring can be made into homogeneity.
- [0049] (20) moreover, the sum total with the thickness of the film for [set to the 2nd invention and] thickness and said height adjustment in said depth of flute and abbreviation for said wiring -- it is characterized by the same thing.
- [0050] According to this configuration, since it becomes datum level and abbreviation identitas, the front face on wiring formed corresponding to a slot becomes possible [removing nearly completely the level difference of wiring which results in a mounting terminal].
- [0051] (21) Moreover, in the 2nd invention, the film for said height adjustment is characterized by being at least one wiring among wiring formed in said viewing area, and wiring which accomplishes said circumference circuit.
- [0052] Since wiring formed in a viewing area and wiring which accomplishes a circumference circuit are used in common according to this configuration, it is much more advantageous to a process.
- [0053] (22) moreover, the 2nd invention -- setting -- said depth of flute -- the thickness of said wiring, and abbreviation -- it is characterized by the same thing.
- [0054] In the 1st invention, it is not necessary to use the film for height adjustment.
- [0055] (23) The electro-optic device concerning invention of the 3rd in this case The substrate which becomes in two or more layers, the viewing area formed on said substrate, and wiring arranged in said viewing area, The circumference circuit which was formed around said viewing area on said substrate, and was electrically connected to said wiring, it is characterized by providing the insulator layer formed on the slot established in the part in which is resembled further at least and said circumference circuit is formed and said circumference circuit of wiring which connected electrically the mounting terminal formed on said substrate, and said circumference circuit and said mounting terminal, and the layer which constitutes said substrate.
- [0056] According to this configuration, since a circumference circuit top can be made into homogeneity, the display nonuniformity resulting from the level difference on a circumference circuit can be reduced.
- [0057] (24) The electro-optic device concerning invention of the 4th in this case The substrate which becomes in two or more layers, the viewing area formed on said substrate, and wiring arranged in said viewing area, The circumference circuit which was formed around said viewing area on said substrate, and was electrically connected to said wiring, Wiring which connected electrically the mounting terminal formed on said substrate, and said circumference circuit and said mounting terminal, it is characterized by providing the insulator layer which accomplishes the outside surface formed in the field of the slot which forms the field of the slot established in the part in which is resembled further at least and said circumference circuit is formed and said mounting terminal of the layer which constitutes said substrate, and the slot which forms the slot of said circumference circuit, and the field of said mounting terminal.
- [0058] According to this configuration, since a circumference circuit top and the perimeter of a mounting terminal can be made into homogeneity, the display nonuniformity resulting from the level difference a circumference circuit top and around a mounting terminal can be reduced.
- [0059] (25) The electro-optic device concerning invention of the 5th in this case The substrate which becomes in two or more layers, the viewing area formed on said substrate, and wiring arranged in said

viewing area, The circumference circuit which was formed around said viewing area on said substrate, and was electrically connected to said wiring, Wiring which connected electrically the mounting terminal formed on said substrate, and said circumference circuit and said mounting terminal, the layer which constitutes said substrate being further alike at least, and with the slot established in the part in which wiring arranged in said viewing area is formed it is characterized by providing the insulator layer which accomplishes the outside surface formed in the field of the slot which forms the field of the slot established in the part in which is resembled further at least and said circumference circuit is formed and said mounting terminal of the layer which constitutes said substrate, and the slot which forms the slot of said circumference circuit, and the field of said mounting terminal.

[0060] According to this configuration, since a viewing-area and circumference circuit top and the perimeter of a mounting terminal can be made into homogeneity, the display nonuniformity resulting from the level difference a viewing-area and circumference circuit top and around a mounting terminal can be reduced.

[0061] (26) The electro-optic device concerning invention of the 6th in this case The substrate which becomes in two or more layers, the viewing area formed on said substrate, and the data line arranged in said viewing area, The data-line drive circuit formed along with one side of said viewing area, and the mounting terminal formed so that it might counter with one side of said viewing area across said data-line drive circuit, it is characterized by providing the slot which the layer which constitutes said substrate resembles further at least the signal line which is electrically connected with said mounting terminal and supplies a picture signal to said data line, and forms the field of a mounting terminal, and the insulator layer to which the outside surface of said substrate was accomplished and said mounting terminal was exposed.

[0062] According to this configuration, since a data-line drive circuit and the perimeter of a mounting terminal can be especially made into homogeneity, the display nonuniformity resulting from the level difference of that field can be reduced.

[0063] (27) moreover, in the 6th invention, the layer which constitutes said substrate is further alike at least, and it is characterized by forming a slot in the part in which said signal line is formed at least in the field between said data-line drive circuits and said mounting terminals.

[0064] According to this configuration, the level difference by the part in which a signal line is formed can be *****ed).

[0065] (28) moreover, in the 6th invention, the layer which constitutes said substrate is further alike at least, and it is characterized by forming a slot in the part in which said data-line drive circuit is formed.

[0066] According to this configuration, the display nonuniformity resulting from the level difference of a data-line drive circuit can be reduced.

[0067] (29) Moreover, in the 6th invention, it is characterized by having the sampling circuit which controls supply of a picture signal by said data-line drive circuit at said data line between one side and said data-line drive circuits of said viewing area.

[0068] (30) moreover, in the 6th invention, the layer which constitutes said substrate is further alike at least, and it is characterized by forming the slot established in the part in which said sampling circuit is formed.

[0069] According to this configuration, the display nonuniformity resulting from the level difference of a sampling circuit can be reduced.

[0070] (31) Moreover, in the 6th invention, the orientation film is formed in said viewing area, and it is characterized by the direction of rubbing of said orientation film going to said viewing area from said mounting terminal.

[0071] According to this configuration, the display nonuniformity which is comparatively easy to check by looking can be reduced by making into homogeneity the field between the data-line drive circuits and mounting terminals which are generated without being dependent on the array pitch of a pixel.

[0072] (32) The electronic equipment concerning invention of the 7th in this case is characterized by

- providing the light source which carries out outgoing radiation of the light, the electro-optic device concerning the 1st invention thru/or the 6th invention which performs the modulation corresponding to image information for the outgoing radiation light by said light source, and the delivery system which projects the light modulated by said electro-optic device.

[0073] Thus, when using an electro-optic device as a projection mold, even if the display nonuniformity is very slight, by the projection image, it will be expanded to extent which may be checked by looking, but since the formation field of a mounting terminal and wiring which results in this is equipped with the electro-optic device by which flattening was carried out, the electronic equipment concerning invention of the 6th in this case becomes that it is possible in the high-definition display which stopped the display nonuniformity resulting from a level difference.

[0074] (33) The manufacture approach of the electro-optic device concerning invention of the 8th in this case It is the manufacture approach of the electro-optic device which displays a predetermined image according to the signal inputted through the mounting terminal prepared on the substrate which becomes in two or more layers. it is characterized by having the process which establishes a slot in the part in which wiring which the layer which constitutes said substrate is further alike at least, and results in said mounting terminal should be formed, the process which forms said wiring in the field corresponding to said slot, and the process which carries out the laminating of the insulator layer on said wiring.

[0075] According to this approach, the level difference of wiring which results in a mounting terminal with the level difference of the front face of a mounting terminal and the front face of an insulator layer will be reduced like the 1st invention mentioned above.

[0076] (34) Moreover, in the 8th invention, it is characterized by said mounting terminal including the process which exposes the mounting terminal covered by said insulator layer after the process which is formed in the process and coincidence which form said wiring, and carries out the laminating of said insulator layer.

[0077] According to this approach, reduction of the level difference near the mounting terminal is attained according to comparatively simple processes, such as etching.

[0078] (35) Moreover, in the 8th invention, the process which exposes said mounting terminal is characterized by being the process which grinds said insulator layer.

[0079] According to this approach, comparatively easy nearly perfect flattening becomes possible by operating as a stopper the front face of the electric conduction film which becomes a mounting terminal.

[0080]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0081] <the outline configuration of an electro-optic device> -- the electro-optic device concerning the operation gestalt of this invention is explained first. This electro-optic device performs a predetermined display by that electro-optics-change, using liquid crystal as electrooptic material. Drawing 1 (a) is the perspective view showing the configuration of the liquid crystal equipment 100 except an external circuit among this electro-optic device, and drawing 1 R> 1 (b) is the sectional view of the A-A' line in drawing 1 (a).

[0082] As shown in these drawings, liquid crystal equipment 100 Various components, the component substrate 101 with which the pixel electrode 118 grade was formed, and the opposite substrate 102 with which the counterelectrode 108 grade was prepared While being stuck so that a fixed gap may be maintained and an electrode forming face may counter mutually by the sealant 104 containing a spacer (illustration abbreviation) It has the composition that the liquid crystal 105 of TN (Twisted Nematic) mold was enclosed with this gap as electrooptic material.

[0083] Here, glass, a quartz, silicon, etc. are used for the component substrate 101, and glass, a quartz, etc. are used for the opposite substrate 102. In addition, when an opaque substrate is used for the component substrate 101, it will be used not as a transparency mold but as a reflective mold. Moreover,

although a sealant 104 is formed along the circumference of the opposite substrate 102, in order to enclose liquid crystal 105, the part is carrying out opening of it. For this reason, the closure of that opening part is carried out with the sealing agent 106 after enclosure of liquid crystal 105.

[0084] Next, it is the opposed face of the component substrate 101, and the data-line drive circuit later mentioned in field of one side of outsides of sealant 104 140a is formed, and it has composition which outputs a sampling signal. Furthermore, a picture signal line, a sampling circuit, etc. which are mentioned later are formed in field 150a of near in which a sealant 104 is formed in this one side. On the other hand, two or more mounting terminals 107 are formed in this periphery part of one side, and it has at it the composition of inputting the various signals from an external circuit (illustration abbreviation).

[0085] Moreover, the scanning-line drive circuit mentioned later, respectively is formed in field of two sides 130a which adjoins this one side, and it has the composition of driving the scanning line from both sides. In addition, as long as delay of the scan signal supplied to the scanning line does not become a problem, the configuration which forms a scanning-line drive circuit in one one side may be used.

[0086] And common wiring used for a precharge circuit and two scanning-line drive circuits is formed in the remaining field of one side 160a. Here, a precharge circuit is a circuit which precharges each data line to predetermined potential in the timing preceded with a sampling, in order to reduce the load at the time of sampling a picture signal to the data line, but since it is not directly related in this case, suppose that the explanation is omitted henceforth.

[0087] On the other hand, the electric flow with the mounting terminal 107 formed in the component substrate 101 is achieved by the flow material prepared in at least one in four corners in a pasting part with the component substrate 101 so that the counterelectrode 108 of the opposite substrate 102 may be mentioned later.

[0088] Otherwise, while a coloring layer (color filter) is prepared in the pixel electrode 118 and the field which counters, fall prevention of the contrast ratio by leak of light and the light-shielding film for surrounding a non-display field are prepared in fields other than a coloring layer at the opposite substrate 102. However, when applying to the application of a colored light modulation like the projector mentioned later, it is not necessary to form a coloring layer in the opposite substrate 102.

[0089] in addition -- if a coloring layer is prepared in the opposite substrate 102 -- or [no] -- irrespective of -- in order to prevent the property fall of a component by the exposure of light, a light-shielding film which is mentioned later is prepared in the component substrate 101. Moreover, while the orientation film (it omits in drawing 1) by which rubbing processing was carried out is prepared so that it may mention later, and the direction of a major axis of the molecule in liquid crystal 105 may be continuously twisted about 90 degrees among both substrates, the polarizer (illustration abbreviation) according to the direction of orientation is prepared in the opposed face of the component substrate 101 and the opposite substrate 102 at each that tooth-back side, respectively.

[0090] Moreover, in drawing 1 (b), although thickness is given to the counterelectrode 108, the pixel electrode 118, and the mounting terminal 107, it is a measure to show a formation location, and it is so thin [this] that it can fully be disregarded to a substrate in fact. Furthermore, about the mounting terminal 107 or the pixel electrode 118, since it is formed on the insulator layer to which flattening processing was performed so that it may mention later, flattening of the level difference is almost carried out to the opposed face of the component substrate 101.

[0091] The electric configuration of the component substrate 101 is explained among <an electric configuration>, next the liquid crystal equipment 100 mentioned above. Drawing 2 is the schematic diagram showing this configuration.

[0092] As shown in this drawing, in order to input various kinds of signals from an external circuit into the component substrate 101, two or more mounting terminals 107 are formed. The signal inputted through these mounting terminals 107 has composition supplied to each part through wiring 171. If these signals are explained briefly, as shown in drawing 4 , while distributing one picture signal VID supplied synchronizing with a dot clock DCLK to six lines, it elongates 6 times on a time-axis, and VID1-VID6 are

supplied to the sampling circuit 150 through six picture signal lines 122 the 1st. In addition, the picture signal line 122 is [of the wiring 171] special. That is, wiring 171 says in generalization wiring pulled out from the mounting terminal 107, and wiring which supplies picture signals VID1-VID6 is especially called the picture signal line 122.

[0093] The 2nd VssY and VssX are the lower order side electrical potential differences (touch-down potential) of the power source in the scanning-line drive circuit 130 and the data-line drive circuit 140, respectively. Moreover, VddY and VddX are the high order side electrical potential differences of the power source in the scanning-line drive circuit 130 and the data-line drive circuit 140, respectively. Among these, since the lower order side electrical potential difference VssY of a power source serves as touch-down potential of the storage capacitance mentioned later, each pixel is also supplied through the capacity line 175.

[0094] The 3rd LCcom is a voltage signal impressed to a counterelectrode 108. For this reason, two electrodes 109 with which a voltage signal LCcom is supplied are formed in the point equivalent to the corner of the sealant 104 (refer to drawing 1) used for lamination with the opposite substrate 102, respectively. Therefore, if the component substrate 101 is actually stuck on the opposite substrate 102, an electrode 109 and a counterelectrode 108 will be connected through flow material, and it will become the configuration that a voltage signal LCcom is impressed to a counterelectrode 108. In addition, it is fixed to a time-axis and has the composition that an external circuit distributes picture signals VID1-VID6 to a high order and lower order side for every 1 horizontal-scanning period, and a voltage signal LCcom performs an alternating current drive on the basis of this voltage signal LCcom. Moreover, although the number of the points in which an electrode 109 is formed is two in this operation gestalt, since the reason this electrode 109 is formed is for impressing a voltage signal LCcom to a counterelectrode 108 through flow material, if the number of the points in which an electrode 109 is formed is at least one, it is sufficient for them. For this reason, the number of the points in which an electrode 109 is formed one, and they may be three or more places.

[0095] It is the transfer initiation pulse supplied [4th] to the beginning of a vertical-scanning period as DY is shown in drawing 4 , and CLY is a clock signal used in the scanning-line drive circuit 130. In addition, CLYinv is the reversal clock signal which carried out level reversal of the clock signal CLY.

[0096] It is the transfer initiation pulse supplied [5th] to the beginning of a horizontal scanning period as DX is shown in drawing 4 , and CLX is a clock signal used in the data-line drive circuit 140. In addition, CLXinv is the reversal clock signal which carried out level reversal of the clock signal CLX. ENB1 and ENB2 are enable signals used in order to restrict the pulse width of each output signal of the shift register in the data-line drive circuit 140 so that it may mention later.

[0097] Now, if it is in viewing-area 100a of the component substrate 101, two or more scanning lines 112 arrange in parallel along the direction of a line (X), and two or more data lines 114 arrange in parallel along the direction of a train (Y), and the pixel is prepared corresponding to a part for each of these intersections.

[0098] In the part to which the scanning line 112 and the data line 114 intersect a detail as shown in drawing 3 , while the gate of the switching element slack TFT116 for controlling a pixel is connected to the scanning line 112 and the source of TFT116 is connected to the data line 114, the drain of TFT116 is connected to the transparent rectangle-like pixel electrode 118.

[0099] As mentioned above, since liquid crystal 105 is pinched between the electrode forming faces of the component substrate 101 and the opposite substrate 102, the liquid crystal capacity of each pixel will be constituted from liquid crystal equipment 100 by the pixel electrode 118, a counterelectrode 108, and the liquid crystal 105 pinched among these two electrodes. Here, when the total number of the expedient top of explanation and the scanning line 112 is set to "m" and the total number of the data line 114 is set to "6n" (m and n are taken as an integer, respectively), a pixel will be arranged corresponding to a part for each intersection of the scanning line 112 and the data line 114 in the shape of [of a m line x6n train] a matrix.

[0100] Moreover, in addition to this, the storage capacitance 119 for preventing leak of liquid crystal capacity is formed in viewing-area 100a which consists of a matrix-like pixel for every pixel. While the end of this storage capacitance 119 is connected to the pixel electrode 118 (drain of TFT116), common connection of that other end is made by the capacity line 175. For this reason, since storage capacitance 119 becomes parallel electrically [liquid crystal capacity], the maintenance property of liquid crystal capacity will be improved and a high contrast ratio will realize it. In addition, although it is the configuration that the lower order side electrical potential difference V_{ssY} of a power source is impressed to the capacity line 175 with this operation gestalt, since a fixed electrical potential difference should just be impressed here in time, you may be the configuration that the high order side electrical potential difference V_{ddY} , an electrical potential difference LC_{com} , etc. of a power source are impressed. Moreover, suppose that it mentions later about the detail configuration of a pixel including storage capacitance 119.

[0101] Then, if explanation is again returned to drawing 2, the scanning-line drive circuit 130 will output the scan signals G_1, G_2, \dots, G_m which serve as active level one by one at every horizontal scanning period $1H$ to each scanning line 112 within 1 perpendicular effective display period. Although illustration is omitted since it is not directly connected with this invention about a detailed configuration, it consists of a shift register and two or more AND circuits. As a shift register is shown in drawing 4, among these, the transfer initiation pulse DY supplied to the beginning of a vertical-scanning period A sequential shift is carried out whenever the level of a clock signal CLY (and reversal clock signal CLY_{inv}) changes (on both sides which it starts and are falling). a signal -- G -- one -- ' -- G -- two -- ' -- G_3 -- ' -- G_m -- ' -- ***** -- outputting -- each -- an AND circuit -- a signal -- G -- one -- ' -- G -- two -- ' -- G_3 -- ' -- G_m -- ' -- inside -- adjoining each other -- a signal -- comrades -- an AND -- a signal -- asking -- a scan -- a signal -- G -- one -- G -- two -- G_3 -- G_m -- ***** -- outputting -- a thing -- it is .

[0102] Moreover, the data-line drive circuit 140 outputs the sampling signals S_1, S_2, \dots, S_n which serve as active level one by one in horizontal scanning period $1H$. Although illustration is omitted since it is not directly connected with this invention about this detailed configuration, it consists of a shift register containing an inverter circuit, and two or more AND circuits. Among these, as shown in drawing 4, a shift register carries out the sequential shift of the transfer initiation pulse DX supplied to the beginning of a horizontal scanning period, whenever the level of a clock signal CLX (and reversal clock signal CLX_{inv}) changes. a signal -- S -- one -- ' -- S -- two -- ' -- S -- three -- ' -- S_n -- ' -- ***** -- outputting -- each AND circuit -- a signal -- S -- one -- ' -- S -- two -- ' -- S -- three -- ' -- S_n -- ' -- pulse width -- an enable signal -- ENB -- one -- or -- ENB -- two -- using -- adjoining each other -- a thing -- comrades -- mutual -- not overlapping -- as -- a period -- SMP_a -- narrowing -- a sampling -- a signal -- S -- one -- S -- two -- S -- three -- S_n -- ***** -- outputting -- a thing -- it is .

[0103] Then, the sampling circuit 150 consists of sampling switches 151 prepared every data line 114, respectively. On the other hand, it blocks every six, it counts from the left in drawing 2, and the data line 114 is i (i). The sampling switch 151 connected to the end of the data line 114 located in the leftmost among six of 1, 2, ..., the data lines 114 belonging to the block of eye n watch The picture signal VID_1 supplied through the picture signal line 122 is sampled in the period when the sampling signal S_i becomes active, and it has composition supplied to the data line 114 concerned. Moreover, the sampling switch 151 connected to the end of the data line 114 located in the 2nd among six of the data lines 114 which similarly belong to the i -th block samples the picture signal VID_2 supplied through the picture signal line 122 in the period when the sampling signal S_i becomes active, and has composition supplied to the data line 114 concerned.

[0104] Each of the sampling switch 151 connected to the end of the data line 114 located in 3, 4, and 5 or the 6th like the following among six of the data lines 114 belonging to the i -th block samples each of the picture signals VID_3, VID_4, VID_5 , and VID_6 supplied through the picture signal line 122 in the period

when the sampling signal S_i becomes active, and has composition which supplies the corresponding data line 114. That is, if the sampling signal S_i serves as active level, it has the composition that picture signals VID1-VID6 are sampled by coincidence, respectively at each of the six data lines 114 belonging to the i -th block.

[0105] Since it is formed around viewing-area 100a with the inspection circuit for distinguishing the existence of a defect after manufacture, these scanning-line drive circuits 130, the data-line drive circuit 140, a sampling circuit 150, etc. are called as a circumference circuit. However, since it is not directly related to this case about an inspection circuit, suppose that it omits about the explanation.

[0106] <Actuation of an electro-optic device>, next actuation of the electro-optic device concerning the configuration mentioned above are explained briefly.

[0107] First, the transfer initiation pulse DY is supplied to the scanning-line drive circuit 130 at the beginning of a vertical-scanning period. As a result of carrying out a sequential shift by the clock signal CLY (and that reversal clock signal CLYinv), this transfer initiation pulse DY is outputted to the corresponding scanning line 112 as scan signals G1, G2, ..., Gm which serve as active level one by one for every 1 horizontal-scanning period, as shown in drawing 4.

[0108] On the other hand, one picture signal VID is elongated by it 6 times to a time-axis while it is distributed to six picture signals VID1-VID6 by the external circuit, as shown in drawing 4. Moreover, as shown in this drawing, the transfer initiation pulse DX is supplied to the data-line drive circuit 140 at the beginning of a horizontal scanning period. this -- a transfer -- initiation -- a pulse -- DX -- the data line -- a drive -- a circuit -- 140 -- setting -- a clock signal -- CLX (and that reversal clock signal CLXinv) -- level -- changing -- whenever -- sequential -- a shift -- carrying out -- having -- a signal -- S -- one -- ' -- S -- two -- ' -- S_n -- ' -- becoming . and -- this -- a signal -- S -- one -- ' -- S -- two -- ' -- S_n -- ' -- an enable signal -- ENB -- one -- ENB -- two -- active -- level -- it is -- a period -- SMPa -- restricting -- having -- this -- drawing 4 -- being shown -- having -- as -- a sampling -- a signal -- S -- one -- S -- two -- S_n -- ***** -- sequential -- an output -- carrying out -- having -- ***** .

[0109] Here, in the period when the scan signal G1 becomes active, i.e., the 1st horizontal scanning period, if the sampling signal S1 serves as active level, picture signals VID1-VID6 will be sampled by the six data lines 114 which belong to the 1st block from the left, respectively. And it will be written in by TFT116 of the pixel to which these picture signals VID1-VID6 count from a top in drawing 2 or drawing 3, and intersect 1 Motome's scanning line 112, and the six data lines 114 concerned, respectively. Then, when the sampling signal S2 serves as active level, shortly, picture signals VID1-VID6 will be sampled by the six data lines 114 belonging to the 2nd block, respectively, and these picture signals VID1-VID6 will be written in them by TFT116 of the pixel which intersects 1 Motome's scanning line 112, and the six data lines 114 concerned, respectively.

[0110] It will be written in by the sampling signal S3, S4, ..., TFT116 of the pixel to which picture signals VID1-VID6 are sampled by the 3rd, the 4th, ..., the six data lines 114 belonging to the n -th block, respectively, and these picture signals VID1-VID6 intersect 1 Motome's scanning line 112, and the six data lines 114 concerned if S_n serves as active level one by one like the following, respectively. By this, the writing to all the pixels of the 1st line will be completed.

[0111] Then, it sets at the period when the scan signal G2 becomes active, i.e., the 2nd horizontal scanning period. Similarly, writing will be performed to all the pixels of the 2nd line, in the following, scan signal G3, and G4, ..., Gm will become the same active, and writing will be performed to the pixel of the 3rd line, the 4th line, and the m -th line. By this, writing will be completed over all the pixels of -- of 1st line the m -th line.

[0112] In such a drive, since the time amount which samples a picture signal by each sampling switch 151 as compared with the method which drives the data line 114 for [every] becomes 6 times, the charge and discharge time in each pixel is fully secured. For this reason, a high contrast ratio is realizable.

[0113] <The detail configuration of a pixel>, next the detail of a pixel mentioned above are explained with reference to drawing 5 and drawing 6. Drawing 5 is the top view showing the detail configuration, and drawing 6 is the sectional view of the B-B' line in drawing 5. In addition, in drawing 5, only the profile will be shown with a broken line about the pixel electrode 118 used as the best conductive layer for explanation understanding.

[0114] First, as shown in these drawings, main elements, such as the data line 114, the scanning line 112 and the capacity line 175, and TFT116, are formed in the slot 12 established in the base material slack substrate 10 of the component substrate 101. If it puts in another way, this slot 12 will be formed in field 12a in which the data line 114, the scanning line 112 and the capacity line 175, TFT116, etc. should be formed.

[0115] Now, it has prevented that a light-shielding film 22 is formed in this slot 12, and light invades into TFT116 from the substrate 10 bottom. Furthermore, the semi-conductor layer 30 which consists of polish recon through the substrate insulator layer 40 is formed in the upper layer of this light-shielding film 22, and that front face is covered by the insulator layer 32 by thermal oxidation.

[0116] By the way, the data line 114 extended in the direction of Y, and the scanning line 112 has extended in the direction of X. Moreover, in the part which intersects the data line 114, although the capacity line 175 approaches with the scanning line 112 and is extended and formed in the direction of X in parallel, it is projected and formed in the preceding paragraph side (it sets to drawing 5 and is the bottom) so that it may lap with the data line 114. From the point where the data line 114 and the capacity line 175 cross, the semi-conductor layer 30 extends in the extension direction (it sets to drawing 5 and is the right) of the capacity line 175, the protrusion direction (above) of the capacity line 175 in the lower layer of the data line 114, and a total of three directions of the opposite direction (down), and is formed in the bottom of such wiring in the shape of abbreviation for T characters.

[0117] And the part which laps with the scanning line 112 among the semi-conductor layers 30 is channel field 30a. If it puts in another way, the part which intersects the semi-conductor layer 30 among the scanning lines 112 is used as gate electrode 116G. Furthermore, in the semi-conductor layer 30, while low concentration source field 30b and high concentration source field 116S are prepared, low concentration drain field 30c and high concentration drain field 116D are prepared, and it has the so-called LDD (Lightly Doped Drain) structure at the source side of channel field 30a at the drain side of channel field 30a.

[0118] Here, while high concentration source field 116S are connected to the data line 114 by the contact hole 51 which punctures an insulator layer 32 and the 1st interlayer insulation film 41, high concentration drain field 116D is connected to the pixel electrode 118 by the contact hole 53 which punctures an insulator layer 32, the 1st interlayer insulation film 41, and the 2nd interlayer insulation film 42.

[0119] Moreover, a part of high concentration drain field 116D in the semi-conductor layer 30 is functioning as one electrode of storage capacitance 119. That is, storage capacitance 119 uses as one electrode 30f of high concentration drain fields located in the lower layer of the capacity line 175 among the semi-conductor layers 30, and has composition which pinched further the insulator layer 32 formed in the front face of the semi-conductor layer 30 considering capacity line 175 the very thing as an electrode of another side. In addition, the capacity by pinching the substrate insulator layer 40 about storage capacitance 119 by 30f of others and high concentration drain fields and a light-shielding film 22 may also be doubled and considered. [capacity / by pinching an insulator layer 32 by 30f of high concentration drain fields and the capacity line 175]

[0120] And all over the maximum upper layer (namely, field which touches liquid crystal 105), the orientation film 61 which consists of organic film, such as polyimide, is formed. In addition, rubbing processing which mentioned this orientation film 61 above before lamination with the opposite substrate 102 is performed.

[0121] Thus, the semi-conductor layer 30 is formed in the condition of having been hidden in the field

bottom in which the scanning line 112, and the data line 114 and the capacity line 175 are formed. On the other hand, in the lower layer of the semi-conductor layer 30, it has prevented that light invades from the substrate 10 bottom. For this reason, since it has the structure where light cannot invade into TFT116 easily from the both sides of a substrate 10 top and the bottom, prevention of the property change of TFT116 by optical exposure is achieved.

[0122] Furthermore, in viewing-area 100a, since elements except the pixel electrode 118, such as all wiring (electric conduction film), semi-conductor layers, etc., are formed in the slot 12, climax by these is prevented. Therefore, in viewing-area 100a, the level difference of the field in which the scanning line 112, the data line 114, etc. for supplying a picture signal to the pixel electrode 118 are formed, and the opening field in which these are not formed will be reduced.

[0123] The inverter contained in the shift register of the data-line drive circuit 140 is explained as an example about <the detail configuration of a circumference circuit>, next the detail of a circumference circuit. Drawing 7 is the top view showing the configuration of this inverter, and drawing 8 is the sectional view of the C-C' line in drawing 7.

[0124] First, since the pixel electrode 118 does not exist in the circumference circuit field in which a circumference circuit is formed, unlike the pixel section shown in drawing 5 or drawing 6, the contact hole 53 which punctures the 2nd interlayer insulation film 42 is not formed. Moreover, a light-shielding film 22 may be formed in a part of circumference circuit field. About others, the applications of wiring only differ and it becomes the same configuration as the pixel section fundamentally.

[0125] That is, elements with main wiring, semi-conductor layer, etc. are formed in the slot 12 where the inverter shown in drawing 7 and drawing 8 was formed in the substrate 10. And this inverter has complementary-type composition to which series connection of the same P channel mold TFT and same N channel mold TFT of LDD structure as TFT116 which switches the pixel electrode 118 was carried out between the wiring 1404 with which the high order side electrical potential difference V_{ddX} of a power source is impressed, and the wiring 1414 with which the lower order side electrical potential difference V_{ssX} of a power source is impressed. While wiring 1404 is connected to the high concentration drain field of the P channel mold TFT through a contact hole 1451, wiring 1414 is connected to the detail to the high concentration source field of the N channel mold TFT through the contact hole 1454. Furthermore, the wiring 1412 with which the input signal of an inverter is supplied branches in two hands, and serves as a gate electrode shared with the P channel mold TFT and the N channel mold TFT. And the high concentration drain field of the N channel mold TFT is connected to the wiring 1424 with which the high concentration source field of the P channel mold TFT supplies the output signal of an inverter through a contact hole 1453 through a contact hole 1452, respectively.

[0126] Carrying out [and] patterning of the conductive layer as the scanning line 112 in a viewing area with the same wiring 1412 which serves as a gate electrode among these wiring, wiring 1404, 1414, and 1424 carries out patterning of the same conductive layer as the data line 114 in the pixel section. That is, in the circumference circuit field, the 1st-layer wiring 1412 is formed using the same conductive layer as the scanning line 112 in a viewing area, and the 2nd-layer wiring 1404, 1414, and 1424 is formed using the same conductive layer as the data line 114.

[0127] In addition, although the inverter in the data-line drive circuit 140 was explained as an example, it is further formed in the slot 12 here about other components in the data-line drive circuit 140, for example, a clocked inverter, and the NAND gate which constitutes an AND circuit as well as

[components / in the scanning-line drive circuit 130 / various] the inverter explained here. For this reason, also in the field in which a circumference circuit is formed, the level difference by the difference of existence, such as wiring and a component, will be reduced like a viewing area.

[0128] <The detail configuration of a mounting terminal>, then the detailed configuration of the mounting terminal 107 are explained with reference to drawing 10. Drawing 10 is the sectional view of the D-D' line of drawing 9, and is the sectional view showing the configuration of the mounting terminal 107 and wiring 171.

[0129] As shown in drawing 10, the mounting terminal 107 and wiring 171 are formed corresponding to the slot 12 established in the substrate 10. Here, about a slot 12, as shown in drawing 9 R> 9, it is formed in the front face of a substrate 10 corresponding to the periphery (profile) part in which the mounting terminal 107 should be formed, and the part in which the wiring 171 which results in this mounting terminal should be formed.

[0130] Now, as shown in drawing 10, in the slot 12 and the field surrounded in a profile part, electric conduction film 22b which consists of the same layer as the light-shielding film 22 in a viewing area or the formation field of a circumference circuit is formed. Although the substrate insulator layer 40 was formed in the upper layer of this electric conduction film 22b and the whole substrate surface is covered in it, the concave heights corresponding to the slot 12 formed in the substrate 10 remain.

[0131] Next, in the substrate insulator layer 40, electric conduction film 112b which consists of the same layer as the scanning line 112 in a viewing area or the 1st-layer wiring 1412 in a circumference circuit field is formed in the crevice corresponding to a slot 12, and the heights corresponding to the field surrounded in the profile part. Although the 1st interlayer insulation film 41 was formed in the upper layer of this electric conduction film 112b and the whole substrate surface is covered in it, the concave heights corresponding to a slot 12 remain.

[0132] Furthermore, electric conduction film 114b which consists of the same layer as the data line 114 in a viewing area, the 2nd-layer wiring 1404, 1414, and 1424 in a circumference circuit field, etc. is formed in the crevice corresponding to a slot 12, and the heights corresponding to the field surrounded in the profile part. And although the 2nd interlayer insulation film 42 is formed in the upper layer of this electric conduction film 114b over the whole substrate surface, aperture 42a is prepared in the heights corresponding to the field surrounded in the profile part of a slot 12. That is, electric conduction film 114b has the composition that electric conduction film 114b which results in these heights is used as wiring 171, while it has exposed in the heights corresponding to the field surrounded in the profile part of a slot 12 and this is used as a pad of the mounting terminal 107. In such a configuration, since the front face of electric conduction film 114b exposed in aperture 42a is rising compared with other parts, a level difference with the front face of the 2nd interlayer insulation film 42 will be reduced.

[0133] Moreover, depth d of the slot 12 from the datum level R of a substrate 10 is formed so that it may become almost equal to the sum total of the thickness t1 of electric conduction film 22b, the thickness t2 of electric conduction film 112b, and the thickness t3 of electric conduction film 114b. Therefore, since the front face P of electric conduction film 114b formed in a slot 12 and the front face Q of the 1st interlayer insulation film 41 in the part in which the electric conduction film 22b, 112b, and 114b is not formed become almost equal, when the 2nd interlayer insulation film 42 is formed in these upper layers, flattening of the part in which wiring 171 is formed, and the part which is not formed will be carried out mostly.

[0134] By the way, although the electric conduction film 22b and 112b formed in the heights corresponding to the field surrounded in the profile part of a slot 12 can also be electrically said to be an unnecessary thing, the reason such electric conduction film 22b and 112b is formed is as follows. That is, in this operation gestalt, although it is formed in a viewing area or a circumference circuit field besides a terminal area, if it says from a viewpoint of simplification of a process, forming collectively in the same process is desirable [a slot 12 / these slots 12]. The depth of a slot 12 should be determined so that the front face of the 2nd interlayer insulation film 42 may become as flat as possible in a viewing area or a circumference circuit here in consideration of the thickness in the light-shielding film, 1st layer, and 2nd-layer wiring. On the other hand, with the mounting terminal 107 and wiring 171, although there should be only conductive layer 114b of the maximum upper layer, by preparing only conductive layer 114b in a light-shielding film and the slot 12 where depth d was set up in consideration of the thickness in the 1st layer and 2nd-layer wiring, the depth of a slot 12 may become superfluous and a level difference may arise. Then, in the terminal area, in order to prevent such a level difference, the light-shielding film prepared in a viewing area or a circumference circuit field and the 1st-layer wiring are

used as dummy film for height adjustment. In addition, since it uses as an object for height adjustment, such dummy film is not restricted to the electric conduction film, but it may form an insulator separately and it may be used for it.

[0135] Moreover, electric conduction film 22b which consists of the same film as a light-shielding film 22 may be comparatively thin. In such a case, since the level difference by the difference of a light-shielding film 22 or the existence of electric conduction film 22b can be disregarded, it is also good not to prepare electric conduction film 22b in a terminal area. In this case, what is necessary is just to make depth d of a slot 12 almost equal to the sum of the thickness t_2 of electric conduction film 112b, and the thickness t_3 of electric conduction film 114b. Furthermore, a slot 12 may be formed also in consideration of the thickness of the semi-conductor layer 30, and the polish recon layer which constitutes the semi-conductor layer 30 as dummy film for height adjustment may be used in this case.

[0136] A <manufacture process>, next the manufacture process of the electro-optic device concerning an operation gestalt are explained centering on the component substrate 101.

[0137] First, as shown in drawing 11 (a), a slot 12 is formed in the substrates 10, such as a quartz substrate, and a glass substrate, a silicon substrate, by the photolithography, etching, etc. In addition, as mentioned above, depth d of this slot 12 is formed so that it may become almost equal to the thickness sum total of the light-shielding film, 1st layer, and 2nd-layer wiring.

[0138] Then, as shown in this drawing (b), a light-shielding film 22 and electric conduction film 22b are formed in the substrate 10 with which the slot 12 was formed. On a refractory metal opaque all over the substrate 10 with which the slot 12 was formed, and a concrete target, specifically Ti (titanium) and metal simple substances, such as Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), After forming the alloy metallurgy group silicide containing these [at least one] etc. by the thickness of about 100–300nm by sputtering etc., this refractory metal or by the photolithography and etching Patterning is carried out to the configuration mentioned above, and a light-shielding film 22 and electric conduction film 22b are formed.

[0139] Next, as shown in this drawing (c), the substrate insulator layer 40 is formed in the front face of a light-shielding film 22, electric conduction film 22b, and a substrate 10. a detail -- the substrate insulator layer 40 -- for example, ordinary pressure or reduced pressure CVD (Chemical Vapor Deposition) -- of law etc., from high insulation glass, such as NSG (non doped silicate glass), and PSG (phosphorus silicate glass), BSG (boron silicate glass), BPSG (boron phosphorus silicate glass), or the silicon oxide film, a silicon nitride film, etc., it is about 50–1500nm in thickness, and is preferably formed by the thickness of about about 600–800nm.

[0140] Then, an amorphous silicon layer is formed in the whole top face of the substrate insulator layer 40 by the thickness of about 100nm for example, with a reduced pressure CVD method etc., and a polish recon layer is formed by carrying out solid phase growth by heat treatment etc. Under the present circumstances, in forming TFT of an N channel mold, while doping slightly the impurity of V group elements, such as Sb (antimony), and As (arsenic), P (Lynn), by an ion implantation etc., in forming the P channel mold TFT, it dopes similarly the impurity of III group elements, such as aluminum (aluminum), and B (boron), Ga (gallium), by an ion implantation etc. slightly. And as shown in this drawing (d), patterning of the polish recon layer is carried out by the photolithography, etching, etc., and it is formed in the shape of an island as TFT116 in a viewing area, and a semi-conductor layer 30 in a circumference circuit field. In addition, about 30f of fields in which the capacity line 175 is formed among the semi-conductor layers 30, impurities, such as P (Lynn), may be doped by high concentration, and low resistance-ization may be attained beforehand.

[0141] Furthermore, as shown in drawing 12 (e), thermal oxidation processing of the front face of the semi-conductor layer 30 is carried out, and an insulator layer 32 is formed in the front face of the semi-conductor layer 30 concerned. this process -- the semi-conductor layer 30 -- final -- the thickness of about 30–150nm -- while becoming the thickness of about 35–45nm preferably -- an insulator layer 32 -- the thickness of about 60–150nm -- it becomes the thickness of about 30nm preferably.

[0142] Next, a polish recon layer is deposited on the top face of an insulator layer 32 and the substrate insulator layer 40 with a reduced pressure CVD method etc. And as shown in this drawing (f), patterning of this polish recon layer is carried out by the photolithography, etching, etc. As the scanning line 112 which makes the gate electrode of TFT116 serve a double purpose if shown in a viewing area As a capacity line 175 which makes the electrode of another side in storage capacitance 119, it forms, respectively, and if it is in a circumference circuit field, it forms as the 1st-layer wiring 1412 including a gate electrode, and further, if it is in a terminal area, it forms as electric conduction film 112b. In addition, about this electric conduction film, you may form from metal membrane metallurgy group silicide film, such as aluminum instead of polish recon, and these metal membranes or the metal silicide film, and polish recon may be formed by the multilayer.

[0143] Furthermore, as shown in this drawing (g), the suitable impurity for the semi-conductor layer 30 is doped. In a detail, when using TFT116 in a viewing area as an N channel mold, the impurity of V group elements, such as P, is doped by low concentration to the field which adjoins channel field 30a among source drain fields by using as a diffusion mask the gate electrode which is a part of scanning line 112. To coincidence, an impurity is doped by low concentration also in the N channel mold TFT of a circumference circuit field by using as a diffusion mask the gate electrode which are some wiring 1412 similarly. Then, a resist broader than a gate electrode is formed and, similarly the impurity of V group elements, such as P, is doped by high concentration by making this into a mask. Thereby, the N channel mold TFT serves as the LDD structure where low concentration drain field 30c and high concentration drain field 116D were prepared at the source side of channel field 30a at the drain side of channel field 30a, while low concentration source field 30b and high concentration source field 116S are prepared. Then, after carrying out the mask of these N channel types TFT of semi-conductor layer 30 by the resist, wiring 1412 is similarly used as a mask to the field contiguous to a channel field about the P channel mold TFT of a circumference circuit field. For example, the impurity of III group elements, such as B (boron), is doped, a low concentration field is formed, similarly the impurity of III group elements, such as B, is succeedingly doped by using a resist broader than wiring 1412 as a mask, and a high concentration field is formed.

[0144] In addition, it is good also as TFT of offset structure, and good also as a mere self aryne type (self-align mold) of TFT without making each channel mold TFT into LDD structure in this way. Moreover, it is good only also considering an N channel mold as LDD structure among the complementary types TFT of a circumference circuit, and still better also considering TFT116 in the pixel section as a complementary type.

[0145] Then, as shown in this drawing (h), the 1st interlayer insulation film 41 is deposited on the thickness of about 500–1500nm with a CVD method etc. so that a gate electrode, the substrate insulator layer 40, etc. may be covered. In addition, as the quality of the material of the 1st interlayer insulation film 41, silicate glass film, such as NSG, and PSG, BSG, BPSG, a silicon nitride film, the silicon oxide film, etc. are mentioned like the substrate insulator layer 40.

[0146] Furthermore, if are shown in a viewing area and it is in a circumference circuit field about a contact hole 51 as shown in drawing 13 (i), contact holes 1451, 1452, 1453, and 1454 are formed, respectively. While a contact hole 51 is formed in the location corresponding to the source field of TFT116 of dry etching etc. to the 1st interlayer insulation film 41 and insulator layer 32 at a detail, contact holes 1451, 1452, 1453, and 1454 are formed in the location corresponding to the high concentration drain field and high concentration source field of a P channel mold and the N channel mold TFT. In addition, in aiming at a flow with the 1st-layer wiring and the 2nd-layer wiring in a circumference circuit field in this case, corresponding to this flow part, it forms a contact hole (illustration abbreviation) similarly.

[0147] Next, the electric conduction film which consists of low resistance metal metallurgy group silicide, such as aluminum, etc. is deposited by sputtering etc. on the 1st interlayer insulation film 41 at the thickness of about 100–500nm. And as shown in this drawing (j), patterning of this electric conduction

film is carried out by the photolithography, etching, etc., if shown in a viewing area, it forms as the data line 114 which makes the source electrode of TFT116 serve a double purpose, if it is in a circumference circuit field, it forms as the 2nd-layer wiring 1404, 1414, and 1424 including a source drain electrode, and if it is in a terminal area, it forms as electric conduction film 114b.

[0148] Then, as shown in this drawing (k), the 2nd interlayer insulation film 42 is deposited on the thickness of about 500–1500nm with a CVD method etc. so that the 2nd-layer wiring, the 1st interlayer insulation film 41, etc. may be covered. In addition, as the quality of the material of the 2nd interlayer insulation film 42, silicate glass film, such as NSG, and PSG, BSG, BPSG, a silicon nitride film, the silicon oxide film as well as the substrate insulator layer 40 or the 1st interlayer insulation film 41, etc. are mentioned.

[0149] Next, if it is shown in a viewing area as shown in this drawing (l), the contact hole 53 which makes the 2nd interlayer insulation film 42, 1st interlayer insulation film 41, and insulator layer 32 puncture is formed in the location corresponding to the drain field of TFT116 by dry etching etc. On the other hand, if it is in a terminal area, the part 47 located in the heights surrounded by the profile corresponding point of a slot 12 among the 2nd interlayer insulation film 42 is removed, and aperture 42a is prepared.

[0150] In addition, the 2nd interlayer insulation film 42 is divided roughly into two with the 2nd technique of performing CMP (chemical machinery-polish) processing until electric conduction film 114b of the heights corresponding to the 1st technique of removing alternatively the part which is equivalent to aperture 42a among the 2nd interlayer insulation film 42 by etching etc. as the technique of preparing aperture 42a, and the field surrounded in the profile part of a slot 12 is exposed. Among these, if the direction of the 2nd technique concerning the latter says from a viewpoint to which flattening of the part used as the mounting terminal 107 and the other parts is carried out nearly completely, it is advantageous. However, since the part which is equivalent to an aperture 42 among the 2nd interlayer insulation film 42 by the 1st technique concerning the former is alternatively removable with the technique same with forming a contact hole 53, the 1st technique is more advantageous if it says from a viewpoint of simplification of a process.

[0151] Now, although illustration is omitted about future processes, after depositing transparent conductive thin films, such as ITO, on the thickness of about 50–200nm by sputtering etc., by the photolithography, etching, etc., patterning is carried out to a predetermined configuration (refer to drawing 5), and the pixel electrode 118 is formed in the front face of the 2nd interlayer insulation film 42. Then, organic solutions, such as polyimide, are applied and calcinated all over the opposed face in a substrate 10. By this, the orientation film 61 will be formed. In addition, to this orientation film 61, rubbing processing is performed in the direction as shown in drawing 14 R > 4.

[0152] And with it, after the component substrate 101 formed in this way is stuck in the direction rotated about 90 degrees by the opposite substrate 102 by which rubbing processing was carried out, and the sealant 104, enclosure and the closure of the liquid crystal 105 are carried out, the scribe of it is carried out (started) and it serves as an electro-optic device as shown in drawing 1 (a).

[0153] In addition, in the component substrate 101, although the orientation film 61 is formed over the whole surface, after the liquid crystal closure, the orientation film formed in the part jutted out of the opposite substrate 102 of plasma treatment etc. is removed. For this reason, the maximum upper layer in a terminal area and a circumference circuit field serves as not the orientation film 61 but electric conduction film 114b, or the 2nd interlayer insulation film 42 (refer to drawing 8 and drawing 10).

[0154] Since according to such a manufacture approach a slot 12 is established in a viewing area besides a terminal area, or a circumference circuit field and wiring and a component are formed here, also in not only a terminal area but a viewing area, or a circumference circuit field, the level difference in the front face of a substrate will be reduced. Under the present circumstances, electric conduction film 22b for height adjustment prepared in the lower layer of electric conduction film 114b used as the pad of the mounting terminal 107 It is formed using the same layer as the light-shielding film 22 in a viewing

area and a circumference circuit field. Moreover, same electric conduction film 112b for height adjustment The scanning line 112 in a viewing area, and the data line [in / further / it is formed using the electric conduction film which consists of the same layer as the wiring 1412 in a circumference circuit field, and / in electric conduction film 114b / a viewing area] 114, It is formed using the electric conduction film which consists of the same layer as the wiring 1404, 1414, and 1424 in a circumference circuit field. Furthermore, in a viewing area besides a terminal area, or a circumference circuit field, it is collectively prepared also about a slot 12. Therefore, since there is almost no process added, complication of a manufacture process will be prevented.

[0155] <Modification> In addition, although the pad which serves as the mounting terminal 107 in the operation gestalt mentioned above was formed from electric conduction film 114b of the same layer as the data line 114 or the 2nd-layer wiring 1404, it may carry out the laminating of still more nearly another electric conduction film on this. For example, as shown in drawing 15 , in case patterning of the pixel electrode 118 is carried out, it may leave electric conduction film 118b, such as ITO, to electric conduction film 114b of the heights surrounded by the profile corresponding point of a slot 12. Although electric conduction film 114b consists of aluminum etc. as mentioned above, as for aluminum, adhesion with the conductive microcapsule used for junction to a FPC (Flexible Printed Circuit) substrate in [being easy to be invaded] also has the problem of being bad. However, such a problem will be solved by covering further the front face of exposed electric conduction film 114b by electric conduction film 118b.

[0156] <Application> With an operation gestalt, since the level difference in a viewing area or a circumference circuit field is generated in the same twice as the array pitch of a pixel, or its integral multiple as mentioned above although the slot 12 other than a terminal area was formed also about the viewing area or the circumference circuit field, it is thought again that the display nonuniformity resulting from the level difference concerned is not comparatively conspicuous. Then, I think that a slot 12 may be formed only about a terminal area without forming a slot 12 about a viewing area or a circumference circuit field.

[0157] The field which is in disorder without the buff cloth which carries out rubbing depending for viewing-area 100a on the array pitch of a pixel, when making it in agreement in the extension direction of the data line 114 and carrying out rubbing processing as shown in drawing 14 if it investigates thoroughly and says is a field belonging to the both sides of the field in which the mounting terminal 107 and wiring 171 are formed, and field 190a which the buff cloth concerning viewing-area 100a scans. That is, it will be Field B if it says by drawing 2 . Therefore, if it is only the purpose which is generated without being dependent on the array pitch of a pixel and which stops the display nonuniformity which is comparatively easy to be checked by looking, I will think that what is necessary is to form a slot 12 only in this field B.

[0158] In addition, since those hair ends do not start viewing-area 100a even if it originates in a level difference even if and a buff cloth is confused about field 192a, when carrying out rubbing processing in the direction shown in drawing 14 , it is considered that this field 192 does not need to dare form a slot 12 in the scanning-line drive circuit 130.

[0159] and in forming a slot 12 only in a terminal area Without preparing the electric conduction film in the lower layer of electric conduction film 114b as shown in drawing 16 since it is not necessary to take into consideration the thickness of electric conduction film 22b which consists of the same film as a light-shielding film 22, and electric conduction film 112b which consists of the same film as the scanning line 112 What is necessary is just to set up depth d of a slot 12 so that it may become almost equal to the thickness t3 of electric conduction film 114b.

[0160] <Others> Although it considered as the configuration which samples and supplies to coincidence the picture signals VID1-VID6 changed into six lines to the six data lines 114 with which the six data lines 114 are packed into 1 block, and belong to 1 block if it was in the operation gestalt mentioned above in addition The number of the data lines (namely, the number of the data lines which constitutes 1

block) impressed to the number of conversion and coincidence is not restricted to "6." For example, as long as the speed of response of the sampling switch 151 in a sampling circuit 150 is fully high, a serial transmission may be carried out to one picture signal line, without changing a picture signal into parallel, and you may constitute so that it may sample in point sequential every data line 114. Moreover, it is good also as a configuration which supplies to coincidence the picture signal with which three-line conversion, 12-line conversion, 24-line conversion, etc. carried out the number of the data lines impressed to conversion and coincidence to the data lines, such as 3, 12, and 24, as "3", "12", "24", etc. In addition, it is desirable when that it is the multiple of 3 simplifies control, a circuit, etc. from the relation of the picture signal of a color consisting of a signal concerning three primary colors as the number of the data lines impressed to the number of conversion, and coincidence. However, in the case of the application of mere light modulation, it does not require that it is the multiple of 3 like the projector mentioned later. Furthermore, it is good also as a configuration which does not control a sampling switch to coincidence, but carries out a sequential shift, supplies the picture signals VID1-VID6 by which parallel conversion was carried out, and controls a sampling switch 151 in order.

[0161] Moreover, although it was the configuration which chooses a block from the left rightward in the operation gestalt mentioned above while scanning the scanning line 112 from the top to down, the configuration chosen in hard flow is sufficient as this, and the configuration which has responded to the application, shifts and makes that direction selectable is sufficient as it.

[0162] Furthermore, in the operation gestalt mentioned above, although the TFT116 grade of a planar mold was formed in the component substrate 101, this invention is not restricted to this. For example, TFT116 may consist of bottom gate molds. Moreover, while constituting the component substrate 101 from a semi-conductor substrate, it may replace with TFT116 and a complementary transistor may be formed here. Furthermore, the technique of SOI (Silicon On Insulator) is applied, the silicon single crystal film is formed in insulating substrates, such as sapphire, a quartz, and glass, various components are made here, and it is good also as a component substrate 101. However, when the component substrate 101 does not have transparency, it is necessary to form the pixel electrode 118 with aluminum, or to form a reflecting layer separately, and to use liquid crystal equipment 100 as a reflective mold.

[0163] The electronic equipment which applied the <projector>, next the electro-optic device mentioned above is explained. About the electro-optic device concerning an operation gestalt, it is applicable to ***** equipped with the video tape recorder of various electronic equipment, for example, a personal computer, and a liquid crystal television, and a viewfinder mold and a monitor direct viewing type, car navigation equipment, a pager, an electronic notebook, a calculator, a word processor, a workstation, a TV phone, the POS terminal, the digital still camera, the cellular phone, and the touch panel etc.

[0164] Here, although the display nonuniformity which it is going to cancel by this invention, i.e., the stripe-like display nonuniformity which met in the direction of rubbing, does not become a problem comparatively in a direct viewing type, it is expanded even to extent which cannot be disregarded in the projector which projects a display image.

[0165] Then, suppose that such a projector is mentioned and explained as an example of electronic equipment. Here, a projector is a top view in which drawing 17 shows this configuration, using the liquid crystal equipment 100 mentioned above as a light valve. As shown in this drawing, the lamp unit 2102 which consists of sources of the white light, such as a halogen lamp, is formed in the projector 2100 interior. It is separated into the three primary colors of RGB by the mirror 2106 of three sheets and the dichroic mirror 2108 of two sheets which have been arranged inside, and the incident light injected from this lamp unit 2102 is led to the light valves 100R, 100G, and 100B corresponding to each primary color, respectively. Here, it drives, respectively with the primary signal of R, G, and B which are supplied from the processing circuit (here illustration abbreviation) which that of the configuration of light valves 100R, 100G, and 100B is the same as that of the liquid crystal equipment 100 concerning the operation gestalt mentioned above, and inputs a picture signal. Moreover, the light of B color is drawn through the relay lens system 2121 which consists of the incidence lens 2122, a relay lens 2123, and an outgoing radiation

lens 2124, in order to prevent the loss, since the optical path is long as compared with other R colors and G colors.

[0166] Now, incidence of the light modulated with light valves 100R, 100G, and 100B, respectively is carried out to a dichroic prism 2112 from three directions. And in this dichroic prism 2112, while the light of R color and B color is refracted at 90 degrees, the light of G color goes straight on. Therefore, after the image of each color is compounded, it will be projected on a color picture by the screen 2120 with a projector lens 2114.

[0167] In addition, since the light corresponding to each primary color of R, G, and B carries out incidence to light valves 100R, 100G, and 100B with a dichroic mirror 2108, as mentioned above, it is not necessary to prepare a color filter. Moreover, since it is projected on the transmission image of light valve 100G as it is to being projected after reflecting the transmission image of light valves 100R and 100B with a dichroic mirror 2112, it has the composition of carrying out right-and-left reversal of the display image by light valves 100R and 100B to the display image by light valve 100G.

[0168]

[Effect of the Invention] Since the level difference of the field in which wiring which results in the front face of a substrate especially a mounting terminal, and this is formed is reduced according to this invention as explained above, it becomes possible to control generating of the fault on the display resulting from uneven rubbing processing.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (a) is the perspective view showing the configuration of the liquid crystal equipment of the electro-optic device concerning the operation gestalt of this invention, and (b) is the sectional view of the A-A' line of (a).

[Drawing 2] It is the block diagram showing the electric configuration of this liquid crystal equipment.

[Drawing 3] It is drawing showing the equal circuit in the viewing area of this liquid crystal equipment.

[Drawing 4] It is a timing chart for explaining actuation of this liquid crystal equipment.

[Drawing 5] It is the top view showing the detail configuration of the pixel in the viewing area of this liquid crystal equipment.

[Drawing 6] It is the sectional view of the B-B' line of drawing 4 .

[Drawing 7] It is the top view showing the detail configuration of the inverter circuit in the boundary region of this liquid crystal equipment.

[Drawing 8] It is the sectional view of the C-C' line of drawing 6 .

[Drawing 9] It is the perspective view showing the configuration of the slot formed near the mounting terminal in this liquid crystal equipment.

[Drawing 10] It is the sectional view of the D-D' line of drawing 9 , and is the sectional view showing the

configuration of the mounting terminal in this liquid crystal equipment, and wiring which results in this mounting terminal.

[Drawing 11] (a) - (d) is the sectional view showing the manufacture process of the component substrate in this liquid crystal equipment, respectively.

[Drawing 12] (e) - (h) is the sectional view showing the manufacture process of the component substrate in this liquid crystal equipment, respectively.

[Drawing 13] (i) - (l) is the sectional view showing the manufacture process of the component substrate in this liquid crystal equipment, respectively.

[Drawing 14] It is the top view showing the direction of rubbing of the component substrate in this liquid crystal equipment.

[Drawing 15] It is the sectional view showing the configuration of the mounting terminal concerning the modification of this invention, and wiring which results in this mounting terminal.

[Drawing 16] It is the sectional view showing the configuration of the mounting terminal concerning the application of this invention, and wiring which results in this mounting terminal.

[Drawing 17] It is the top view showing the configuration of an example slack projector of the electronic equipment which applied the electro-optic device concerning an operation gestalt.

[Description of Notations]

10 -- Substrate
12 -- Slot
22 -- Light-shielding film
22b -- Electric conduction film
30 -- Semi-conductor layer
40 -- Substrate insulator layer
41 -- The 1st interlayer insulation film
42 -- The 2nd interlayer insulation film
61 -- Orientation film
100 -- Liquid crystal equipment
101 -- Component substrate
102 -- Opposite substrate
105 -- Liquid crystal
107 -- Mounting terminal
108 -- Opposite substrate
112 -- Scanning line
112b -- Electric conduction film
114 -- Data line
114b -- Electric conduction film
116 -- TFT
118 -- Pixel electrode
119 -- Storage capacitance
122 -- Picture signal line
130 -- Scanning-line drive circuit
140 -- Data-line drive circuit
150 -- Sampling circuit
151 -- Sampling switch
171 173 -- Wiring
175 -- Capacity line
2100 -- Projector

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-343913

(P2001-343913A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 F 9/30	3 4 8	G 0 9 F 9/30	3 4 8 Z 2 H 0 9 0
			3 4 8 A 2 H 0 9 2
G 0 2 F 1/1333	5 0 0	G 0 2 F 1/1333	5 0 0 5 C 0 9 4
1/1345		1/1345	

審査請求 未請求 請求項の数35 O L (全 22 頁)

(21) 出願番号 特願2001-14354(P2001-14354)

(22) 出願日 平成13年1月23日 (2001. 1. 23)

(31) 優先権主張番号 特願2000-87151(P2000-87151)

(32) 優先日 平成12年3月27日 (2000. 3. 27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅誉 (外1名)

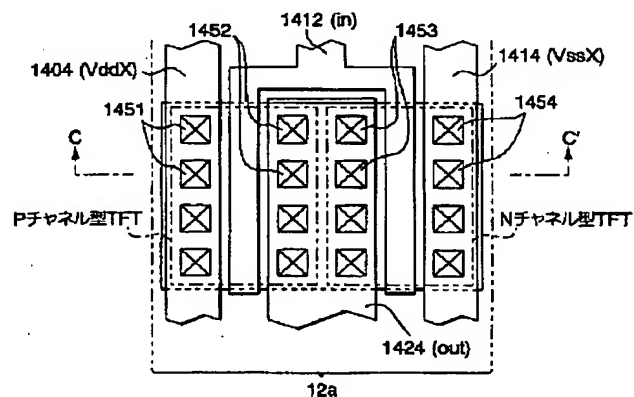
最終頁に続く

(54) 【発明の名称】 電気光学装置、その製造方法および電子機器

(57) 【要約】

【課題】 実装端子107とそこに至る配線171における段差を低減する。

【解決手段】 基板10において、実装端子107に至る配線171が形成されるべき部分に溝12を設ける。そして、実装端子107と配線171を第2の層間絶縁膜42で覆うとともに、実装端子107に対応する部分に開孔部42aを設ける。



(2)

【特許請求の範囲】

【請求項1】 複数の層でなる基板と、
前記基板の外表面に形成された絶縁膜と、
前記絶縁膜と略同一平面上に形成され画像信号を入力する実装端子と、
前記実装端子と導通した配線とを具備することを特徴とする電気光学装置。

【請求項2】 前記基板を構成する層の少なくとも一層に、前記実装端子の領域を形成する溝が設けられていることを特徴とする請求項1記載の電気光学装置。

【請求項3】 前記実装端子の領域を形成する溝に、前記実装端子を成す導電膜が設けられていることを特徴とする請求項2記載の電気光学装置。

【請求項4】 前記基板を構成する層の少なくとも一層の、前記配線の少なくとも前記実装端子側の領域下に、前記実装端子の領域を形成する溝に連なる配線用溝が設けられていることを特徴とする請求項2または請求項3記載の電気光学装置。

【請求項5】 前記基板の外表面に形成された絶縁膜は、前記実装端子の領域を形成する溝の領域と、前記配線を形成する溝の領域に形成されることを特徴とする請求項4記載の電気光学装置。

【請求項6】 前記実装端子は、多層の導電膜で形成されることを特徴とする請求項1乃至5記載の電気光学装置。

【請求項7】 前記実装端子の領域を形成する溝の領域下に少なくとも1層の高さ調整用の膜が形成されていることを特徴とする請求項3乃至5のいずれかに記載の電気光学装置。

【請求項8】 前記溝の深さは、前記実装端子の厚さと前記高さ調整用の膜の厚さとの合計と略同一であることを特徴とする請求項7記載の電気光学装置。

【請求項9】 前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする請求項7または請求項8記載の電気光学装置。

【請求項10】 前記溝の深さは、前記配線の厚さと略同一であることを特徴とする請求項2乃至6のいずれかに記載の電気光学装置。

【請求項11】 複数の層でなる基板と、
前記基板上に設けられ画像信号を入力する実装端子と、
前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成される少なくとも一部分に設けられた溝と、
前記溝に対応する領域に形成された前記配線と、
前記配線上に形成された絶縁膜とを具備することを特徴とする電気光学装置。

【請求項12】 前記実装端子は前記配線を成す導電膜で形成され、前記配線上に形成された前記絶縁膜は前記実装端子を露出していることを特徴とする請求項11記

載の電気光学装置。

【請求項13】 前記実装端子の表面と前記絶縁膜の表面とが略同一の高さであることを特徴とする請求項11又は請求項12記載の電気光学装置。

【請求項14】 前記溝は前記実装端子を囲む領域に形成され、前記実装端子を囲む領域上に前記配線が形成されていることを特徴とする請求項11乃至13のいずれかに記載の電気光学装置。

【請求項15】 前記配線上に形成された前記絶縁膜の表面と、前記配線が形成された領域に隣接した前記絶縁膜の表面とが略同一の高さであることを特徴とする請求項14記載の電気光学装置。

【請求項16】 前記配線は、表示領域に形成される配線で形成されることを特徴とする請求項11乃至15のいずれかに記載の電気光学装置。

【請求項17】 前記配線は、表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする請求項11乃至15のいずれかに記載の電気光学装置。

【請求項18】 前記配線は、表示領域に形成される配線及び前記表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする請求項11乃至15のいずれかに記載の電気光学装置。

【請求項19】 前記配線の領域下に少なくとも1層の高さ調整用の膜が形成されていることを特徴とする請求項11乃至18のいずれかに記載の電気光学装置。

【請求項20】 前記溝の深さは、前記配線の厚さと前記高さ調整用の膜の厚さとの合計と略同一であることを特徴とする請求項19記載の電気光学装置。

【請求項21】 前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする請求項19または請求項20記載の電気光学装置。

【請求項22】 前記溝の深さは、前記配線の厚さと略同一であることを特徴とする請求項11乃至18のいずれかに記載の電気光学装置。

【請求項23】 複数の層でなる基板と、
前記基板上に形成された表示領域と、
前記表示領域に配設された配線と、
前記基板上の前記表示領域の周辺に形成され、前記配線に電氣的に接続された周辺回路と、
前記基板上に形成された実装端子と、
前記周辺回路と前記実装端子とを電氣的に接続した配線と、
前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、
前記周辺回路上に形成された絶縁膜とを具備することを特徴とする電気光学装置。

【請求項24】 複数の層でなる基板と、
前記基板上に形成された表示領域と、
前記表示領域に配設された配線と、

(3)

3

前記基板上の前記表示領域の周辺に形成され、前記配線に電氣的に接続された周辺回路と、
前記基板上に形成された実装端子と、
前記周辺回路と前記実装端子とを電氣的に接続した配線と、

前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、
前記実装端子の領域を形成する溝と、
前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする電気光学装置。

【請求項25】 複数の層でなる基板と、
前記基板上に形成された表示領域と、
前記表示領域に配設された配線と、
前記基板上の前記表示領域の周辺に形成され、前記配線に電氣的に接続された周辺回路と、
前記基板上に形成された実装端子と、
前記周辺回路と前記実装端子とを電氣的に接続した配線と、
前記基板を構成する層の少なくとも一層に、前記表示領域に配設された配線が形成される部分に設けられた溝と、

前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、
前記実装端子の領域を形成する溝と、
前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする電気光学装置。

【請求項26】 複数の層でなる基板と、
前記基板上に形成された表示領域と、
前記表示領域に配設されたデータ線と、
前記表示領域の一边に沿って形成されたデータ線駆動回路と、

前記データ線駆動回路を挟んで前記表示領域の一边と対向するように形成された実装端子と、
前記実装端子と電氣的に接続され前記データ線に画像信号を供給する信号線と、

前記基板を構成する層の少なくとも一層に、実装端子の領域を形成する溝と、
前記基板の外表面を成し、前記実装端子を露出させた絶縁膜とを具備することを特徴とする電気光学装置。

【請求項27】 前記基板を構成する層の少なくとも一層に、少なくとも前記データ線駆動回路と前記実装端子との間の領域内で前記信号線が形成される部分に溝を形成したことを特徴とする請求項26記載の電気光学装置。

【請求項28】 前記基板を構成する層の少なくとも一層に、前記データ線駆動回路が形成される部分に溝を形成したことを特徴とする請求項26または請求項27記載の電気光学装置。

4

【請求項29】 前記表示領域の一边と前記データ線駆動回路との間に、前記データ線駆動回路で前記データ線に画像信号の供給を制御するサンプリング回路を備えることを特徴とする請求項26乃至請求項28のいずれかに記載の電気光学装置。

【請求項30】 前記基板を構成する層の少なくとも一層に、前記サンプリング回路が形成される部分に設けられた溝を形成したことを特徴とする請求項29記載の電気光学装置。

【請求項31】 前記表示領域に配向膜が形成され、前記配向膜のラビング方向が前記実装端子から前記表示領域に向うことを特徴とする請求項26乃至30のいずれかに記載の電気光学装置。

【請求項32】 光を出射する光源と、
前記光源による出射光を画像情報に対応した変調を施す請求項1乃至請求項31のいずれかに記載の電気光学装置と、
前記電気光学装置により変調された光を投射する投射手段とを具備することを特徴とする電子機器。

【請求項33】 複数の層でなる基板上に設けられた実装端子を介して入力した信号にしたがって所定の画像を表示する電気光学装置の製造方法であって、
前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成されるべき部分に溝を設ける工程と、
前記溝に対応する領域に前記配線を形成する工程と、
前記配線上に絶縁膜を積層する工程とを備えることを特徴とする電気光学装置の製造方法。

【請求項34】 前記実装端子は前記配線を形成する工程と同時に形成され、前記絶縁膜を積層する工程後に、前記絶縁膜で覆われた実装端子を露出する工程を含むことを特徴とする請求項33に記載の電気光学装置の製造方法。

【請求項35】 前記実装端子を露出する工程は、前記絶縁膜を研磨する工程であることを特徴とする請求項34に記載の電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部回路からの信号を入力する実装端子の形成領域における段差を低減させた電気光学装置及びその製造方法並びに当該電気光学装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】一般に電気光学装置、例えば、電気光学物質に液晶を用いて、所定の表示を行う液晶装置は、一対の基板間に液晶が挟持された構成となっている。このうち、例えば、画素電極を三端子型のスイッチング素子により駆動するアクティブマトリクス型の液晶装置は、次のような構成となっている。すなわち、この種の液晶装置を構成する一対の基板のうち、一方の基板には、複

(4)

5

数の走査線と複数のデータ線とが互いに交差するように設けられるとともに、これらの交差部分の各々に対応してTFT (Thin Film Transistor: 薄膜トランジスタ) のような三端子型スイッチング素子および画素電極の対が設けられ、さらに、これらの画素電極が設けられる領域(表示領域)の周辺には、走査線およびデータ線の各々を駆動するための周辺回路が設けられる。また、他方の基板には画素電極に対向する透明な対向電極が設けられる。くわえて、両基板の対向面には、液晶分子の長軸方向が両基板間で例えば約90度連続的に捻れるようにラビング処理された配向膜がそれぞれ設けられる一方、その各背面側には配向方向に応じた偏光子がそれぞれ設けられる。

【0003】ここで、画像信号は、通常、画像信号線を介して供給されるとともに、各データ線に、サンプリングスイッチにより適切なタイミングにてサンプリングされる構成となっている。また、走査線とデータ線との交差部分に設けられたスイッチング素子は、対応する走査線に印加される走査信号がアクティブレベルとなるとオンして、対応するデータ線にサンプリングされている画像信号を画素電極に供給するものである。さらに、対向基板に設けられた対向電極は、一定の電位に維持されている。

【0004】このような構成において、各走査線に供給する走査信号と、サンプリングスイッチを制御するサンプリング信号とが周辺回路によって適切なタイミングで供給されると、画素電極と対向電極と両電極間に挟持された液晶とからなる液晶容量には、画像信号に応じた電圧実効値が画素毎に印加されることになる。

【0005】この際、画素電極と対向電極との間を通過する光は、両電極間に印加される電圧差がゼロであれば、液晶分子のねじれに沿って約90度旋光する一方、電圧差が大きくなるにつれて、液晶分子が電界方向に傾く結果、その旋光性が消失する。このため、例えば透過型の電気光学装置において、入射側と背面側とに、ラビング方向に合わせて偏光軸が互いに直交する偏光子をそれぞれ配置させた場合、両電極に印加される電圧差がゼロであれば、光が透過する一方、両電極に印加される電圧差が大きくなるにつれて光が遮断することになる。このため、画素電極に印加する電圧を画素毎に制御することによって、所定の表示が可能となっている。

【0006】ところで、上述したラビング処理とは、一般には、ローラに巻回されたバフ布を回転移動させることで、ポリイミドなどの有機膜表面を一定方向(ラビング方向)に擦る、という処理である。そして、このラビング処理によって、有機膜のポリマー主鎖がラビング方向に延伸されて、当該延伸方向に沿って液晶分子が配列する、と言われている。

【0007】

【発明が解決しようとする課題】しかしながら、配向膜

6

が形成される下地面には、特に、画素電極や、スイッチング素子、走査線、データ線、周辺回路が設けられる一方の基板の下地面には、各種配線や各種素子などの有無や、コンタクトホールの有無などにより、500nm～1000nm程度の段差が生じている。このような段差が生じている下地面に配向膜を形成しても、やはり配向膜の表面に段差が生じることになる。さらに、このような配向膜にラビング処理を行うと、バフ布の毛先が段差により掻き乱れる結果、擦る度合いが基板面全体にわたって不均一となってしまふ。そして、このようにラビング処理が不均一に施された基板に液晶を注入・封止すると、液晶分子が一定方向に配向しないためと考えられる表示ムラが発生する。具体的には、ラビング方向に沿ったスジ状の表示ムラが発生して、表示品位を低下させる、という問題があった。

【0008】本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、基板表面における段差を低減して、不均一なラビング処理に起因する表示上の不具合の発生を抑制した電気光学装置、その製造方法および電子機器を提供することにある。

【0009】

【課題を解決するための手段】まず、上述した段差のうち、表示品位を最も低下させる段差は、外部回路から各種信号を入力する実装端子とこれらの実装端子から引き出される配線とで生じる段差である、と本件の発明者は考えた。

【0010】この点について詳述すると、画素電極およびこれに接続されるスイッチング素子は、走査線およびデータ線の各交差部分に対応して設けられるので、これらの配列ピッチは、走査線およびデータ線の配列ピッチに依存する。また、サンプリングスイッチを含む周辺回路は、走査線やデータ線に対応して設けられるので、周辺回路を構成する素子の配列ピッチについても、走査線およびデータ線の配列ピッチに依存する。したがって、これらの素子や配線などの段差に起因する表示ムラは、画素の配列ピッチと同一倍もしくはその整数倍で発生するので、表示の上では比較的目立たない、と考えられる。

【0011】これに対して、実装端子は、ここから引き出される配線長を短くする観点や、装置全体の対称性を確保する観点などから、上述したサンプリングスイッチやデータ線を駆動するためのデータ線駆動回路に近接し、かつ、走査線の延在方向(すなわち、データ線の延在方向とは交差する方向)に沿って配列され、さらに、外部との接続を容易とする観点から、走査線やデータ線の配列ピッチより遙かに広く、すなわち、走査線やデータ線の配列ピッチとは無関係に形成される。したがって、実装端子及びこれらに至る配線の段差に起因する表示ムラについては非常に目立つと考えられる。

【0012】(1)そこで、本件の第1の発明に係る電

(5)

7

気光学装置は、複数の層でなる基板と、前記基板の外表面に形成された絶縁膜と、前記絶縁膜と略同一平面上に形成され画像信号を入力する実装端子と、前記実装端子と導通した配線とを具備することを特徴とする。

【0013】この構成によれば、実装端子の表面及びその周辺の表面で段差が生じるのを低減することができるので、ラビング処理におけるバフ布の毛先の乱れが抑えられる。

【0014】(2) 第1の発明において、前記基板を構成する層の少なくとも一層に、前記実装端子の領域を形成する溝が設けられていることを特徴とする。

【0015】この構成によれば、実装端子の表面と溝に形成される絶縁膜の表面との段差を低減することができる。

【0016】(3) また、第1の発明において、前記実装端子の領域を形成する溝に、前記実装端子を成す導電膜が設けられていることを特徴とする。

【0017】この構成によれば、導電膜を形成するためのパターンがずれても、溝をマージンとして利用できるので、実装端子の領域に導電膜を確実に形成することができる。

【0018】(4) また、第1の発明において、前記基板を構成する層の少なくとも一層の、前記配線の少なくとも前記実装端子側の領域下に、前記実装端子の領域を形成する溝に連なる配線用溝が設けられていることを特徴とする。

【0019】この構成によれば、実装端子に至る配線の段差を低減することができる。

【0020】(5) また、第1の発明において、前記基板の外表面に形成された絶縁層は、前記実装端子の領域を形成する溝の領域と、前記配線を形成する溝の領域に形成されることを特徴とする。

【0021】この構成によれば、実装端子の表面と絶縁膜の表面との段差と共に、実装端子に至る配線の段差を低減することができる。

【0022】(6) また、第1の発明において、前記実装端子は、多層の導電膜で形成されることを特徴とする。

【0023】この構成によれば、下層側の導電膜を画素領域や周辺回路の導電層と共通にすると共に、上層側の導電膜を実装端子に接続される接続体に合わせた材料で形成することができる。

【0024】(7) また、第1の発明において、前記実装端子の領域を形成する溝の領域下に少なくとも1層の高さ調整用の膜が形成されていることを特徴とする。

【0025】この構成によれば、溝の深さと実装端子の厚みとを調整して、溝の領域上に形成された絶縁膜の表面を均一にすることができる。

【0026】(8) また、第1の発明において、前記溝の深さは、前記実装端子の厚さと前記高さ調整用の膜の

8

厚さとの合計と略同一であることを特徴とする。

【0027】この構成によれば、溝に形成される実装端子の導電膜の表面は、基準面と略同一となるので、実装端子の周囲の段差をほぼ完全に除去することが可能となる。

【0028】(9) また、第1の発明において、前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする。

【0029】この構成によれば、表示領域に形成される配線や周辺回路を成す配線を共通して用いるので、プロセスには一層有利である。

【0030】(10) 前記溝の深さは、前記配線の厚さと略同一であることを特徴とする。

【0031】この構成によれば、高さ調整用の膜を用いなくてもよいものである。

【0032】(11) そこで、本件の第2の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に設けられ画像信号を入力する実装端子と、前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成される少なくとも一部分に設けられた溝と、前記溝に対応する領域に形成された前記配線と、前記配線上に形成された絶縁膜とを具備することを特徴とする。

【0033】この構成によれば、溝に形成された配線の表面は、実装端子(パッド)の表面と比較して、溝の深さ分だけ低くなる。このため、配線上に形成された絶縁膜と実装端子の表面との段差が低減するので、ラビング処理におけるバフ布の毛先の乱れが抑えられることとなる。

【0034】なお、溝については、基板に直接形成しても良いし、その基板上の積層物を形成しても良い。また、配線としては、アルミニウムなどの低抵抗金属膜が望ましい。この際、配線自体をパッドとして用いても良いし、実装時の都合などにより、配線の上にさらに積層されたITO(Indium Tin Oxide: インジウム錫酸化物)などの異種の導電膜をパッドとして用いても良い。

【0035】(12) 第2の発明において、前記実装端子は前記配線を成す導電膜で形成され、前記配線上に形成された前記絶縁膜は前記実装端子を露出していることが望ましい。

【0036】(13) また、第2の発明において、前記実装端子の表面と前記絶縁膜の表面とが略同一の高さであることが望ましい。この構成によれば、実装端子に至る配線の段差をほぼ完全に除去することが可能となる。

【0037】(14) また、第2の発明において、前記溝は前記実装端子を囲む領域に形成され、前記実装端子を囲む領域上に前記配線が形成されていることを特徴とする。

【0038】この構成によれば、溝により実装端子の領域を形成することができる。また、隣り合う実装端子が

(6)

9

短絡することもない。

【0039】(15) また、第2の発明において、前記配線上に形成された前記絶縁膜の表面と、前記配線が形成された領域に隣接した前記絶縁膜の表面とが略同一の高さであることが望ましい。

【0040】この構成によれば、配線の段差をほぼ完全に除去することが可能となる。

【0041】(16) また、第2の発明において、前記配線は、表示領域に形成される配線で形成されることを特徴とする。

【0042】この構成によれば、配線は、表示領域に形成される配線で形成できるので、工程数を増やす必要がない。

【0043】(17) また、第2の発明において、前記配線は、表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする。

【0044】この構成によれば、配線は、周辺回路を成す配線で形成できるので、工程数を増やす必要がない。

【0045】(18) また、第2の発明において、前記配線は、表示領域に形成される配線及び前記表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする。

【0046】この構成によれば、実装端子に至る配線、表示領域に形成される配線及び周辺回路を成す配線を共通して用いるので、プロセスには一層有利である。

【0047】(19) また、第2の発明において、前記配線の領域下に少なくとも1層の高さ調整用の膜が形成されていることを特徴とする。

【0048】この構成によれば、溝の深さと配線の厚みとを調整して、配線上に形成された絶縁膜の表面を均一にすることができる。

【0049】(20) また、第2の発明において、前記溝の深さは、前記配線の厚さと前記高さ調整用の膜の厚さとの合計と略同一であることを特徴とする。

【0050】この構成によれば、溝に対応して形成される配線上の表面は、基準面と略同一となるので、実装端子に至る配線の段差をほぼ完全に除去することが可能となる。

【0051】(21) また、第2の発明において、前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする。

【0052】この構成によれば、表示領域に形成される配線や周辺回路を成す配線を共通して用いるので、プロセスには一層有利である。

【0053】(22) また、第2の発明において、前記溝の深さは、前記配線の厚さと略同一であることを特徴とする。

【0054】第1の発明においては、高さ調整用の膜を用いなくてもよいものである。

10

【0055】(23) 本件の第3の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、前記基板上の前記表示領域の周辺に形成され、前記配線に電氣的に接続された周辺回路と、前記基板上に形成された実装端子と、前記周辺回路と前記実装端子とを電氣的に接続した配線と、前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、前記周辺回路上に形成された絶縁膜とを具備することを特徴とする。

【0056】この構成によれば、周辺回路上を均一にすることができるので、周辺回路上の段差に起因する表示ムラを低減することができる。

【0057】(24) 本件の第4の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、前記基板上の前記表示領域の周辺に形成され、前記配線に電氣的に接続された周辺回路と、前記基板上に形成された実装端子と、前記周辺回路と前記実装端子とを電氣的に接続した配線と、前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、前記実装端子の領域を形成する溝と、前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする。

【0058】この構成によれば、周辺回路上及び実装端子の周囲を均一にすることができるので、周辺回路上や実装端子の周囲の段差に起因する表示ムラを低減することができる。

【0059】(25) 本件の第5の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、前記基板上の前記表示領域の周辺に形成され、前記配線に電氣的に接続された周辺回路と、前記基板上に形成された実装端子と、前記周辺回路と前記実装端子とを電氣的に接続した配線と、前記基板を構成する層の少なくとも一層に、前記表示領域に配設された配線が形成される部分に設けられた溝と、前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、前記実装端子の領域を形成する溝と、前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする。

【0060】この構成によれば、表示領域上、周辺回路上及び実装端子の周囲を均一にすることができるので、表示領域上、周辺回路上や実装端子の周囲の段差に起因する表示ムラを低減することができる。

【0061】(26) 本件の第6の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設されたデータ線と、

(7)

11

前記表示領域の一辺に沿って形成されたデータ線駆動回路と、前記データ線駆動回路を挟んで前記表示領域の一辺と対向するように形成された実装端子と、前記実装端子と電気的に接続され前記データ線に画像信号を供給する信号線と、前記基板を構成する層の少なくとも一層に、実装端子の領域を形成する溝と、前記基板の外表面を成し、前記実装端子を露出させた絶縁膜とを具備することを特徴とする。

【0062】この構成によれば、特に、データ線駆動回路と実装端子の周囲を均一にすることができるので、その領域の段差に起因する表示ムラを低減することができる。

【0063】(27) また、第6の発明において、前記基板を構成する層の少なくとも一層に、少なくとも前記データ線駆動回路と前記実装端子との間の領域内で前記信号線が形成される部分に溝を形成したことを特徴とする。

【0064】この構成によれば、信号線が形成される部分による段差をていげんすることができる。

【0065】(28) また、第6の発明において、前記基板を構成する層の少なくとも一層に、前記データ線駆動回路が形成される部分に溝を形成したことを特徴とする。

【0066】この構成によれば、データ線駆動回路の段差に起因する表示ムラを低減することができる。

【0067】(29) また、第6の発明において、前記表示領域の一辺と前記データ線駆動回路との間に、前記データ線駆動回路で前記データ線に画像信号の供給を制御するサンプリング回路を備えることを特徴とする。

【0068】(30) また、第6の発明において、前記基板を構成する層の少なくとも一層に、前記サンプリング回路が形成される部分に設けられた溝を形成したことを特徴とする。

【0069】この構成によれば、サンプリング回路の段差に起因する表示ムラを低減することができる。

【0070】(31) また、第6の発明において、前記表示領域に配向膜が形成され、前記配向膜のラビング方向が前記実装端子から前記表示領域に向うことを特徴とする。

【0071】この構成によれば、画素の配列ピッチに依存しないで発生するデータ線駆動回路と実装端子との間の領域を均一にすることで、比較的視認しやすい表示ムラを低減することができる。

【0072】(32) 本件の第7の発明に係る電子機器は、光を出射する光源と、前記光源による出射光を画像情報に対応した変調を施す第1発明乃至第6発明に係る電気光学装置と、前記電気光学装置により変調された光を投射する投射手段とを具備することを特徴とする。

【0073】このように電気光学装置を投射型として用いる場合、その表示ムラがごくわずかなものであって

12

も、投射像では、視認され得る程度に拡大されてしまうが、本件の第6の発明に係る電子機器は、実装端子や、これに至る配線の形成領域が平坦化された電気光学装置を備えるので、段差に起因する表示ムラを抑えた高品位な表示が可能となる。

【0074】(33) 本件の第8の発明に係る電気光学装置の製造方法は、複数の層でなる基板上に設けられた実装端子を介して入力した信号にしたがって所定の画像を表示する電気光学装置の製造方法であって、前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成されるべき部分に溝を設ける工程と、前記溝に対応する領域に前記配線を形成する工程と、前記配線上に絶縁膜を積層する工程とを備えることを特徴とする。

【0075】この方法によれば、上述した第1の発明と同様に、実装端子の表面と絶縁膜の表面との段差とともに、実装端子に至る配線の段差を低減することとなる。

【0076】(34) また、第8の発明において、前記実装端子は前記配線を形成する工程と同時に形成され、前記絶縁膜を積層する工程後に、前記絶縁膜で覆われた実装端子を露出する工程を含むことを特徴とする。

【0077】この方法によれば、エッチングなどの比較的簡易な工程により実装端子近傍の段差の低減が可能となる。

【0078】(35) また、第8の発明において、前記実装端子を露出する工程は、前記絶縁膜を研磨する工程であることを特徴とする。

【0079】この方法によれば、実装端子になる導電膜の表面をストッパーとして機能させることで、比較的容易にほぼ完全な平坦化が可能となる。

【0080】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0081】＜電気光学装置の概略構成＞まず、本発明の実施形態に係る電気光学装置について説明する。この電気光学装置は、電気光学物質として液晶を用いて、その電気光学的な変化により所定の表示を行うものである。図1(a)は、この電気光学装置のうち、外部回路を除いた液晶装置100の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。

【0082】これらの図に示されるように、液晶装置100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が設けられた対向基板102とが、スペーサ(図示省略)を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学物質として例えばTN(Twisted Nematic)型の液晶105が封入された構成となっている。

【0083】ここで、素子基板101には、ガラスや石

(8)

13

英、シリコンなどが用いられ、対向基板102には、ガラスや石英などが用いられる。なお、素子基板101に不透明な基板が用いられる場合には、透過型ではなく反射型として用いられることとなる。また、シール材104は、対向基板102の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0084】次に、素子基板101の対向面であって、シール材104の外側一辺の領域140aにおいては、後述するデータ線駆動回路が形成されて、サンプリング信号を出力する構成となっている。さらに、この一辺においてシール材104が形成される近傍の領域150aには、後述する画像信号線やサンプリング回路などが形成されている。一方、この一辺の外周部分には、複数の実装端子107が形成されて、外部回路（図示省略）からの各種信号を入力する構成となっている。

【0085】また、この一辺に隣接する2辺の領域130aには、それぞれ後述する走査線駆動回路が形成されて、走査線を両側から駆動する構成となっている。なお、走査線に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路を片側1個だけに形成する構成でも良い。

【0086】そして、残りの一辺の領域160aには、プリチャージ回路や、2個の走査線駆動回路に用いられる共用配線などが形成される。ここで、プリチャージ回路とは、データ線に画像信号をサンプリングする際の負荷を低減するために、各データ線を、サンプリングに先行するタイミングにおいて所定の電位にプリチャージする回路であるが、本件では直接関係しないので、以降においてはその説明を省略することとする。

【0087】一方、対向基板102の対向電極108は、後述するように、素子基板101との貼合部分における4隅のうち、少なくとも1箇所には設けられた導通材によって、素子基板101に形成された実装端子107との電気的な導通が図られている。

【0088】ほかに、対向基板102には、画素電極118と対向する領域に、着色層（カラーフィルタ）が設けられる一方、着色層以外の領域には、光のリークによるコントラスト比の低下防止や、非表示領域を囲むための遮光膜が設けられる。ただし、後述するプロジェクタのように色光変調の用途に適用する場合には、対向基板102に着色層を形成する必要はない。

【0089】なお、対向基板102に着色層を設けると否かにかかわらず、素子基板101には、光の照射により素子の特性低下を防止するために、後述するような遮光膜が設けられる。また、素子基板101および対向基板102の対向面には、後述するように、液晶105における分子の長軸方向が両基板間で約90度連続的に捻れるようにラビング処理された配向膜（図1では省

14

略）が設けられる一方、その各背面側には配向方向に応じた偏光子（図示省略）がそれぞれ設けられる。

【0090】また、図1（b）においては、対向電極108や、画素電極118、実装端子107に厚みを持たせているが、これは、形成位置を示すための措置であり、実際には、基板に対して充分に無視できるほど薄い。さらに、実装端子107や画素電極118については、後述するように平坦化処理が施された絶縁膜上に形成されているので、素子基板101の対向面には、段差がほとんど平坦化されている。

【0091】＜電気的な構成＞次に、上述した液晶装置100のうち、素子基板101の電気的な構成について説明する。図2は、この構成を示す概略図である。

【0092】この図に示されるように、素子基板101には、外部回路からの各種の信号を入力するために複数の実装端子107が設けられている。これらの実装端子107を介して入力される信号は、配線171を介して各部に供給される構成となっている。これらの信号について簡単に説明すると、第1に、VID1～VID6は、図4に示されるように、ドットクロックDCLKに同期して供給される1系統の画像信号VIDを、6系統に分配するとともに時間軸に6倍に伸長したものであり、6本の画像信号線122を介してサンプリング回路150に供給されている。なお、画像信号線122は、配線171のうちの特別なものである。すなわち、配線171とは、実装端子107から引き出される配線を一般化的に言うものであり、このうち、画像信号VID1～VID6を供給する配線を、特に、画像信号線122と呼称したものである。

【0093】第2に、VssYおよびVssXは、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の低位側電圧（接地電位）である。また、VddYおよびVddXは、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の高位側電圧である。これらのうち、電源の低位側電圧VssYは、後述する蓄積容量の接地電位となっているので、容量線175を介して各画素にも供給されている。

【0094】第3に、LCcomは、対向電極108に印加される電圧信号である。このため、電圧信号LCcomが供給される2つの電極109は、対向基板102との貼り合わせに用いられるシール材104（図1参照）の隅に相当する地点にそれぞれ設けられている。したがって、素子基板101が実際に対向基板102に貼り合わせられると、電極109と対向電極108とが導通材を介して接続されて、対向電極108に電圧信号LCcomが印加される構成となる。なお、電圧信号LCcomは、時間軸に対して一定であり、この電圧信号LCcomを基準にして、外部回路が、画像信号VID1～VID6を例えば1水平走査期間毎に高位側および低位側に振り分けて、交流駆動を行う構成となっている。また、電極1

(9)

15

09が設けられる地点は、本実施形態においては2箇所であるが、この電極109が設けられる理由は、導通材を介して対向電極108に電圧信号L Ccomを印加するためであるから、電極109が設けられる地点は少なくとも1箇所であれば足りる。このため、電極109が設けられる地点は、1箇所でも良いし、3箇所以上であっても良い。

【0095】第4に、DYは、図4に示されるように、垂直走査期間の最初に供給される転送開始パルスであり、CLYは、走査線駆動回路130において用いられるクロック信号である。なお、CLYinvは、クロック信号CLYをレベル反転させた反転クロック信号である。

【0096】第5に、DXは、図4に示されるように、水平走査期間の最初に供給される転送開始パルスであり、CLXは、データ線駆動回路140において用いられるクロック信号である。なお、CLXinvは、クロック信号CLXをレベル反転させた反転クロック信号である。ENB1、ENB2は、後述するように、データ線駆動回路140におけるシフトレジスタの各出力信号のパルス幅を制限するために用いられるイネーブル信号である。

【0097】さて、素子基板101の表示領域100aにあっては、複数本の走査線112が行(X)方向に沿って平行に配列し、また、複数本のデータ線114が列(Y)方向に沿って平行に配列して、これらの各交差部分に対応して画素が設けられている。

【0098】詳細には、図3に示されるように、走査線112とデータ線114とが交差する部分において、画素を制御するためのスイッチング素子たるTFT116のゲートが走査線112に接続される一方、TFT116のソースがデータ線114に接続されるとともに、TFT116のドレインが矩形状の透明な画素電極118に接続されている。

【0099】上述したように、液晶装置100では、素子基板101と対向基板102との電極形成面の間において液晶105が挟持されているので、各画素の液晶容量は、画素電極118と、対向電極108と、これら両電極間に挟持された液晶105とによって構成されることになる。ここで、説明の便宜上、走査線112の総本数を「m」とし、データ線114の総本数を「6n」とすると(m、nは、それぞれ整数とする)、画素は、走査線112とデータ線114との各交差部分に対応して、m行×6n列のマトリクス状に配列することになる。

【0100】また、マトリクス状の画素からなる表示領域100aには、このほかに、液晶容量のリークを防止するための蓄積容量119が、画素毎に形成されている。この蓄積容量119の一端は、画素電極118(TFT116のドレイン)に接続される一方、その他端

16

は、容量線175により共通接続されている。このため、蓄積容量119は、液晶容量とは電氣的に並列となるので、液晶容量の保持特性が改善されて、高コントラスト比が実現することとなる。なお、容量線175には、本実施形態では、電源の低位側電圧VssYが印加される構成であるが、ここには、時間的に一定の電圧が印加されれば良いので、電源の高位側電圧VddYや、電圧L Ccomなどが印加される構成であっても良い。また、蓄積容量119を含めた画素の詳細構成については、後述することとする。

【0101】そこで、説明を再び図2に戻すと、走査線駆動回路130は、水平走査期間1H毎に順次アクティブレベルとなる走査信号G1、G2、…、Gmを、1垂直有効表示期間内に各走査線112に出力するものである。詳細な構成については本発明と直接関連しないので図示を省略するが、シフトレジスタと複数の論理積回路とから構成される。このうち、シフトレジスタは、図4に示されるように、垂直走査期間の最初に供給される転送開始パルスDYを、クロック信号CLY(及び反転クロック信号CLYinv)のレベルが遷移する毎に(立ち上がり及び立ち下りの双方で)、順次シフトして、信号G1'、G2'、G3'、…、Gm'として出力し、各論理積回路は、信号G1'、G2'、G3'、…、Gm'のうち、相隣接する信号同士の論理積信号を求めて、走査信号G1、G2、G3、…、Gmとして出力するものである。

【0102】また、データ線駆動回路140は、順次アクティブレベルとなるサンプリング信号S1、S2、…、Snを水平走査期間1H内に出力するものである。この詳細な構成についても本発明と直接関連しないので図示を省略するが、インバータ回路を含むシフトレジスタと複数の論理積回路とから構成されている。このうち、シフトレジスタは、図4に示されるように、水平走査期間の最初に供給される転送開始パルスDXを、クロック信号CLX(及び反転クロック信号CLXinv)のレベルが遷移する毎に順次シフトして、信号S1'、S2'、S3'、…、Sn'として出力し、各論理積回路は、信号S1'、S2'、S3'、…、Sn'のパルス幅を、イネーブル信号ENB1またはENB2を用いて、相隣接するもの同士が互いに重複しないように、期間SMPaに狭めてサンプリング信号S1、S2、S3、…、Snとして出力するものである。

【0103】続いて、それぞれサンプリング回路150は、データ線114毎に設けられるサンプリングスイッチ151から構成されている。一方、データ線114は6本毎にブロック化されており、図2において左から数えてi(iは、1、2、…、n)番目のブロックに属するデータ線114の6本のうち、最も左に位置するデータ線114の一端に接続されるサンプリングスイッチ151は、画像信号線122を介して供給される画像信号

(10)

17

VID1を、サンプリング信号Siがアクティブとなる期間においてサンプリングして、当該データ線114に供給する構成となっている。また、同じくi番目のブロックに属するデータ線114の6本のうち、2番目に位置するデータ線114の一端に接続されるサンプリングスイッチ151は、画像信号線122を介して供給される画像信号VID2を、サンプリング信号Siがアクティブとなる期間においてサンプリングして、当該データ線114に供給する構成となっている。

【0104】以下同様に、i番目のブロックに属するデータ線114の6本のうち、3、4、5、6番目に位置するデータ線114の一端に接続されるサンプリングスイッチ151の各々は、画像信号線122を介して供給される画像信号VID3、VID4、VID5、VID6の各々を、サンプリング信号Siがアクティブとなる期間においてサンプリングして、対応するデータ線114に供給する構成となっている。すなわち、サンプリング信号Siがアクティブレベルとなると、i番目のブロックに属する6本のデータ線114の各々には、それぞれ画像信号VID1~VID6が同時にサンプリングされる構成となっている。

【0105】これらの走査線駆動回路130や、データ線駆動回路140、サンプリング回路150などは、製造後に欠陥の有無を判別するための検査回路とともに、表示領域100aの周辺に形成されるので、周辺回路として呼称されるものである。ただし、検査回路については、本件とは直接関係しないので、その説明については省略することとする。

【0106】＜電気光学装置の動作＞次に、上述した構成に係る電気光学装置の動作について簡単に説明する。

【0107】まず、走査線駆動回路130には、垂直走査期間の最初に転送開始パルスDYが供給される。この転送開始パルスDYは、クロック信号CLY（およびその反転クロック信号CLYinv）によって順次シフトされる結果、図4に示されるように、1水平走査期間毎に順次アクティブレベルとなる走査信号G1、G2、…、Gmとして、対応する走査線112に出力される。

【0108】一方、1系統の画像信号VIDは、外部回路によって、図4に示されるように、6系統の画像信号VID1~VID6に分配されるとともに、時間軸に対して6倍に伸長される。また、データ線駆動回路140には、同図に示されるように、水平走査期間の最初に転送開始パルスDXが供給される。この転送開始パルスDXは、データ線駆動回路140において、クロック信号CLX（およびその反転クロック信号CLXinv）のレベルが遷移する毎に順次シフトされて、信号S1'、S2'、…、Sn'となる。そして、この信号S1'、S2'、…、Sn'は、イネーブル信号ENB1、ENB2のアクティブレベルである期間SMPaに制限されて、これが図4に示されるように、サンプリング信号S

18

1、S2、…、Snとして順次出力されることとなる。

【0109】ここで、走査信号G1がアクティブとなる期間、すなわち、第1番目の水平走査期間において、サンプリング信号S1がアクティブレベルとなると、左から1番目のブロックに属する6本のデータ線114に、それぞれ画像信号VID1~VID6がサンプリングされる。そして、これらの画像信号VID1~VID6が、図2または図3において上から数えて1本目の走査線112と当該6本のデータ線114と交差する画素のTFT116によってそれぞれ書き込まれることとなる。この後、サンプリング信号S2がアクティブレベルとなると、今度は、2番目のブロックに属する6本のデータ線114に、それぞれ画像信号VID1~VID6がサンプリングされて、これらの画像信号VID1~VID6が、1本目の走査線112と当該6本のデータ線114と交差する画素のTFT116によってそれぞれ書き込まれることとなる。

【0110】以下同様にして、サンプリング信号S3、S4、…、Snが順次アクティブレベルとなると、第3番目、第4番目、…、第n番目のブロックに属する6本のデータ線114にそれぞれ画像信号VID1~VID6がサンプリングされ、これらの画像信号VID1~VID6が、1本目の走査線112と、当該6本のデータ線114と交差する画素のTFT116によってそれぞれ書き込まれることとなる。これにより、第1行目の画素のすべてに対する書き込みが完了することになる。

【0111】続いて、走査信号G2がアクティブとなる期間、すなわち、第2番目の水平走査期間においては、同様にして、第2行目の画素のすべてに対して書き込みが行われ、以下同様にして、走査信号G3、G4、…、Gmがアクティブとなって、第3行目、第4行目、第m行目の画素に対して書き込みが行われることとなる。これにより、第1行目~第m行目の画素のすべてにわたって書き込みが完了することになる。

【0112】このような駆動では、データ線114を1本毎に駆動する方式と比較すると、各サンプリングスイッチ151によって画像信号をサンプリングする時間が6倍となるので、各画素における充放電時間が十分に確保される。このため、高コントラスト比を実現することができる。

【0113】＜画素の詳細構成＞次に、上述した画素の詳細について図5及び図6を参照して説明する。図5は、その詳細構成を示す平面図であり、図6は、図5におけるB-B'線の断面図である。なお、図5において、最上導電層となる画素電極118については、説明理解のために、その輪郭だけを破線により示すことにする。

【0114】まず、これらの図に示されるように、データ線114や、走査線112、容量線175、TFT116などの主要な要素は、素子基板101の基材たる基

(11)

19

板10に設けられた溝12内に形成されている。換言すれば、この溝12は、データ線114や、走査線112、容量線175、TFT116などが形成されるべき領域12aにおいて形成されたものである。

【0115】さて、この溝12には、遮光膜22が設けられて、基板10の下側から光がTFT116に侵入するのを防止している。さらに、この遮光膜22の上層には、下地絶縁膜40を介してポリシリコンからなる半導体層30が設けられ、その表面は熱酸化による絶縁膜32で覆われている。

【0116】ところで、データ線114はY方向に延在し、走査線112はX方向に延在している。また、容量線175は、走査線112と近接して平行にX方向に延在して設けられているが、データ線114と交差する部分においては、データ線114と重なるように、前段側（図5において上側）に突出して形成されている。このような配線下において、半導体層30は、データ線114および容量線175が交差する地点から、容量線175の延在方向（図5において右方向）、データ線114の下層における容量線175の突出方向（上方向）、および、その反対方向（下方向）の計3方向に延在して略T字状に形成されている。

【0117】そして、半導体層30のうち、走査線112と重なる部分がチャネル領域30aとなっている。換言すれば、走査線112のうち、半導体層30と交差する部分がゲート電極116Gとして用いられている。さらに、半導体層30において、チャネル領域30aのソース側には、低濃度ソース領域30b、高濃度ソース領域116Sが設けられる一方、チャネル領域30aのドレイン側には、低濃度ドレイン領域30c、高濃度ドレイン領域116Dが設けられて、いわゆるLDD（Lightly Doped Drain）構造となっている。

【0118】ここで、高濃度ソース領域116Sは、絶縁膜32および第1の層間絶縁膜41を開孔するコンタクトホール51によってデータ線114に接続される一方、高濃度ドレイン領域116Dは、絶縁膜32、第1の層間絶縁膜41および第2の層間絶縁膜42を開孔するコンタクトホール53によって画素電極118に接続されている。

【0119】また、半導体層30における高濃度ドレイン領域116Dの一部は、蓄積容量119の一方の電極として機能している。すなわち、蓄積容量119は、半導体層30のうち、容量線175の下層に位置する高濃度ドレイン領域30fを一方の電極とし、さらに、容量線175自体を他方の電極として、半導体層30の表面に形成された絶縁膜32を挟持した構成となっている。なお、蓄積容量119については、高濃度ドレイン領域30fおよび容量線175により絶縁膜32を挟持することによる容量のほか、高濃度ドレイン領域30fおよび遮光膜22によって下地絶縁膜40を挟持することに

20

よる容量についても合わせて考える場合もある。

【0120】そして、最上層（すなわち、液晶105と接する面）の全面には、ポリイミド等の有機膜からなる配向膜61が形成されている。なお、この配向膜61は、対向基板102との貼り合わせ前に、上述したようなラビング処理が施されるものである。

【0121】このように、半導体層30は、走査線112や、データ線114、容量線175が形成される領域の下側に隠された状態で形成されている。一方、半導体層30の下層には、基板10の下側から光が侵入するのを防止している。このため、TFT116には、光が基板10の上側および下側の双方から侵入しにくい構造となっているので、光照射によるTFT116の特性変化の防止が図られている。

【0122】さらに、表示領域100aにおいては、画素電極118を除く、すべての配線（導電膜）や半導体層などの要素が、溝12に形成されているので、これらによる盛り上がり防止されている。したがって、表示領域100aでは、画素電極118に画像信号を供給するための走査線112やデータ線114などが形成される領域と、これらが形成されない開口領域との段差が低減されることとなる。

【0123】＜周辺回路の詳細構成＞次に、周辺回路の詳細について、データ線駆動回路140のシフトレジスタに含まれるインバータを一例として説明する。図7は、このインバータの構成を示す平面図であり、図8は、図7におけるC-C'線の断面図である。

【0124】まず、周辺回路が形成される周辺回路領域には画素電極118が存在しないので、図5または図6に示される画素部とは異なり、第2の層間絶縁膜42を開孔するコンタクトホール53が設けられない。また、遮光膜22を、周辺回路領域の一部に形成しても良い。他については、配線の用途が異なるだけで、基本的に画素部と同様な構成となる。

【0125】すなわち、図7および図8に示されるインバータは、基板10に設けられた溝12内に、配線や半導体層などの主要な要素が形成されている。そして、このインバータは、画素電極118をスイッチングするTFT116と同様なLDD構造のPチャネル型TFTとNチャネル型TFTとが、電源の高位側電圧V_{dd}Xが印加される配線1404と、電源の低位側電圧V_{ss}Xが印加される配線1414との間において直列接続された相補型構成となっている。詳細には、配線1404は、コンタクトホール1451を介してPチャネル型TFTの高濃度ドレイン領域に接続される一方、配線1414は、コンタクトホール1454を介してNチャネル型TFTの高濃度ソース領域に接続されている。さらに、インバータの入力信号が供給される配線1412は、二手に分岐して、Pチャネル型TFTとNチャネル型TFTとで共用されるゲート電極となっている。そし

(12)

21

て、Pチャネル型TFTの高濃度ソース領域は、コンタクトホール1452を介し、また、Nチャネル型TFTの高濃度ドレイン領域は、コンタクトホール1453を介し、それぞれ、インバータの出力信号を供給する配線1424に接続されている。

【0126】これらの配線のうち、ゲート電極となる配線1412は、表示領域における走査線112と同一導電層をパターンニングしたものであり、また、配線1404、1414および1424は、画素部におけるデータ線114と同一導電層をパターンニングしたものである。すなわち、周辺回路領域においては、表示領域における走査線112と同一導電層を用いて第1層の配線1412が形成され、データ線114と同一導電層を用いて第2層の配線1404、1414および1424が形成されている。

【0127】なお、ここでは、データ線駆動回路140におけるインバータを一例として説明したが、データ線駆動回路140における他の素子、例えば、クロックドインバータや、論理積回路を構成するNANDゲートなどについても、さらに、走査線駆動回路130における各種素子についても、ここで説明したインバータと同様に溝12に形成されている。このため、周辺回路が形成される領域においても、表示領域と同様に、配線や素子などの有無の相違による段差が低減されることとなる。

【0128】＜実装端子の詳細構成＞続いて、実装端子107の詳細な構成について図10を参照して説明する。図10は、図9のD-D'線の断面図であり、実装端子107および配線171の構成を示す断面図である。

【0129】図10に示されるように、実装端子107および配線171は、基板10に設けられた溝12に対応して形成されている。ここで、溝12については、図9に示されるように、実装端子107が形成されるべき周縁（輪郭）部分と、この実装端子に至る配線171が形成されるべき部分とに対応して基板10の表面に形成されたものである。

【0130】さて、図10に示されるように、溝12と輪郭部分で囲まれる領域とにおいては、表示領域や周辺回路の形成領域における遮光膜22と同一層からなる導電膜22bが形成されている。この導電膜22bの上層には、下地絶縁膜40が形成されて、基板全面を覆っているが、基板10に形成された溝12に対応する凹凸部は残っている。

【0131】次に、下地絶縁膜40において溝12に対応する凹部と、その輪郭部分で囲まれる領域に対応する凸部とには、表示領域における走査線112や周辺回路領域における第1層の配線1412と同一層からなる導電膜112bが形成されている。この導電膜112bの上層には、第1の層間絶縁膜41が形成されて、基板全面を覆っているが、溝12に対応する凹凸部は残ってい

22

る。

【0132】さらに、溝12に対応する凹部と、その輪郭部分で囲まれる領域に対応する凸部とには、表示領域におけるデータ線114や周辺回路領域における第2層の配線1404、1414、1424などと同一層からなる導電膜114bが形成されている。そして、この導電膜114bの上層には、基板全面にわたって第2の層間絶縁膜42が形成されているが、溝12の輪郭部分で囲まれる領域に対応する凸部において開孔部42aが設けられている。すなわち、導電膜114bは、溝12の輪郭部分で囲まれる領域に対応する凸部において露出しており、これが実装端子107のパッドとして用いられる一方、この凸部に至る導電膜114bが配線171として用いられる構成となっている。このような構成においては、開孔部42aにおいて露出する導電膜114bの表面は、他の部分に比べて盛り上がっているため、第2の層間絶縁膜42の表面との段差が低減されることとなる。

【0133】また、基板10の基準面Rからの溝12の深さdは、導電膜22bの厚さ t_1 、導電膜112bの厚さ t_2 および導電膜114bの厚さ t_3 の合計にほぼ等しくなるように形成されている。したがって、溝12に形成される導電膜114bの表面Pと、導電膜22b、112b、114bが形成されていない部分における第1の層間絶縁膜41の表面Qとはほぼ等しくなるので、これらの上層に第2の層間絶縁膜42が形成されると、配線171が形成される部分と形成されない部分とがほぼ平坦化されることとなる。

【0134】ところで、溝12の輪郭部分で囲まれる領域に対応する凸部に形成された導電膜22b、112bは、電気的には不要なものとも言えるが、このような導電膜22b、112bが設けられる理由は、次の通りである。すなわち、本実施形態において、溝12は、端子領域のほかに、表示領域や周辺回路領域においても形成されるが、工程の簡略化の観点から言えば、これらの溝12は、同一の工程において一括して形成するのが望ましい。ここで、表示領域や周辺回路においては、遮光膜、第1層および第2層の配線における膜厚を考慮して、第2の層間絶縁膜42の表面ができるだけ平坦になるように、溝12の深さを決定すべきである。一方、実装端子107および配線171では、最上層の導電層114bのみがあれば良いが、遮光膜や、第1層および第2層の配線における膜厚を考慮して深さdが設定された溝12に、導電層114bのみを設けるのでは、溝12の深さが過剰となり、段差が生じてしまう場合がある。そこで、端子領域においては、このような段差を防止するために、表示領域や周辺回路領域に設けられる遮光膜や、第1層の配線を高さ調整用のダミー膜として用いているのである。なお、このようなダミー膜は、高さ調整用として用いるのであるから、導電膜に限られず、絶縁

(13)

23

体を別途形成して用いても良い。

【0135】また、遮光膜22と同一膜からなる導電膜22bは、比較的薄い場合がある。このような場合、遮光膜22や導電膜22bの有無の相違による段差を無視できるので、端子領域に導電膜22bを設けなくても良い。この場合、溝12の深さdは、導電膜112bの厚さt₂および導電膜114bの厚さt₃の和にほぼ等しくすれば良い。さらに、半導体層30の膜厚をも考慮して溝12を形成しても良く、この場合には、高さ調整用のダミー膜として半導体層30を構成するポリシリコン層を用いても良い。

【0136】＜製造プロセス＞次に、実施形態に係る電気光学装置の製造プロセスについて、素子基板101を中心に説明する。

【0137】まず、図11(a)に示されるように、例えば、石英基板や、ガラス基板、シリコン基板等の基板10に、フォトリソグラフィおよびエッチング等によって溝12を形成する。なお、この溝12の深さdは、前述したように、遮光膜、第1層および第2層の配線の膜厚合計とほぼ等しくなるように形成される。

【0138】続いて、同図(b)に示されるように、溝12が形成された基板10に、遮光膜22、導電膜22bが形成される。具体的には、溝12が形成された基板10の全面に不透明な高融点金属、具体的には、Ti(チタン)や、Cr(クロム)、W(タングステン)、Ta(タンタル)、Mo(モリブデン)、Pb(鉛)等の金属単体、または、これらを少なくとも1つ含む合金や金属シリサイドなどをスパッタリング等により100~300nm程度の厚さで形成した後、この高融点金属を、フォトリソグラフィ及びエッチングによって、上述した形状にパターニングして遮光膜22、導電膜22bを形成する。

【0139】次に、同図(c)に示されるように、遮光膜22、導電膜22b、基板10の表面に、下地絶縁膜40を形成する。詳細には、下地絶縁膜40は、例えば常圧または減圧CVD(Chemical Vapor Deposition)法などにより、NSG(ノンドープトシリケートガラス)や、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス、または、酸化シリコン膜、窒化シリコン膜等から、約50~1500nmの厚さで、好ましくは約600~800nm程度の厚さで形成される。

【0140】引き続き、下地絶縁膜40の上面全体に、例えば減圧CVD法などによって、アモルファスシリコン層を約100nmの厚さで形成し、熱処理等により固相成長させることによりポリシリコン層を形成する。この際、Nチャネル型のTFTを形成する場合には、Sb(アンチモン)や、As(砒素)、P(リン)などのV族元素の不純物を、わずかにイオン注入等によりドーピン

24

グする一方、Pチャネル型TFTを形成する場合には、Al(アルミニウム)や、B(ボロン)、Ga(ガリウム)などのIII族元素の不純物を、同様に、わずかにイオン注入等によりドーピングする。そして、同図(d)に示されるように、ポリシリコン層を、フォトリソグラフィやエッチング等によってパターニングして、表示領域におけるTFT116や、周辺回路領域における半導体層30として、島状に形成する。なお、半導体層30のうち、容量線175が形成される領域30fについては、P(リン)などの不純物を高濃度でドーピングして、予め低抵抗化を図っていても良い。

【0141】さらに、図12(e)に示されるように、半導体層30の表面を熱酸化処理して、絶縁膜32を当該半導体層30の表面に形成する。この工程により、半導体層30は最終的に約30~150nmの厚さ、好ましくは約35~45nmの厚さとなる一方、絶縁膜32は約60~150nmの厚さ、好ましくは約30nmの厚さとなる。

【0142】次に、絶縁膜32および下地絶縁膜40の上面に、ポリシリコン層を減圧CVD法等により堆積する。そして、同図(f)に示されるように、このポリシリコン層を、フォトリソグラフィやエッチング等によってパターニングして、表示領域にあってはTFT116のゲート電極を兼用する走査線112として、蓄積容量119における他方の電極をなす容量線175として、それぞれ形成し、また、周辺回路領域にあってはゲート電極を含めた第1層の配線1412として形成し、さらに、端子領域にあっては導電膜112bとして形成する。なお、この導電膜については、ポリシリコンではなく、Alなどの金属膜や金属シリサイド膜から形成しても良いし、これらの金属膜または金属シリサイド膜と、ポリシリコンとを多層で形成しても良い。

【0143】さらに、同図(g)に示されるように、半導体層30に適切な不純物をドーピングする。詳細には、表示領域におけるTFT116をNチャネル型とする場合、ソース・ドレイン領域のうち、チャネル領域30aに隣接する領域に対し、走査線112の一部であるゲート電極を拡散マスクとして、PなどのV族元素の不純物を低濃度でドーピングする。同時に、周辺回路領域のNチャネル型TFTにおいても、同様に配線1412の一部であるゲート電極を拡散マスクとして、不純物を低濃度でドーピングする。続いて、ゲート電極よりも幅広のレジストを形成し、これをマスクとして、同じくPなどのV族元素の不純物を高濃度でドーピングする。これによりNチャネル型TFTは、チャネル領域30aのソース側には、低濃度ソース領域30b、高濃度ソース領域116Sが設けられる一方、チャネル領域30aのドレイン側には、低濃度ドレイン領域30c、高濃度ドレイン領域116Dが設けられたLDD構造となる。続いて、これらのNチャネル型TFTの半導体層30をレ

(14)

25

ジストでマスクした後、周辺回路領域のPチャネル型TFTについても同様に、チャネル領域に隣接する領域に対し、配線1412をマスクとして、例えばB（ボロン）などのIII族元素の不純物をドーピングして低濃度領域を形成し、引き続き、配線1412よりも幅広のレジストをマスクとして、同じくBなどのIII族元素の不純物をドーピングして高濃度領域を形成する。

【0144】なお、このように各チャネル型TFTをLDD構造としないで、オフセット構造のTFTとしても良く、また、単なるセルフアライン型（自己整合型）のTFTとしても良い。また、周辺回路の相補型TFTのうち、Nチャネル型のみをLDD構造としても良く、さらに、画素部におけるTFT116を相補型としても良い。

【0145】続いて、同図（h）に示されるように、第1の層間絶縁膜41を、ゲート電極や下地絶縁膜40などを覆うように、例えば、CVD法等によって約500～1500nmの厚さに堆積する。なお、第1の層間絶縁膜41の材質としては、下地絶縁膜40と同様に、NSGや、PSG、BSG、BPSGなどのシリケートガラス膜や、窒化シリコン膜、酸化シリコン膜などが挙げられる。

【0146】さらに、図13（i）に示されるように、表示領域にあってはコンタクトホール51を、周辺回路領域にあってはコンタクトホール1451、1452、1453および1454をそれぞれ形成する。詳細には、コンタクトホール51が第1の層間絶縁膜41および絶縁膜32に対してTFT116のソース領域に対応した位置にドライエッチング等により形成されるとともに、コンタクトホール1451、1452、1453および1454が、Pチャネル型およびNチャネル型TFTの高濃度ドレイン領域と高濃度ソース領域とに対応した位置に形成される。なお、この際、周辺回路領域において、第1層の配線と第2層の配線との導通を図る場合には、この導通部分に対応して同様にコンタクトホール（図示省略）を形成する。

【0147】次に、第1の層間絶縁膜41の上に、アルミニウムなどの低抵抗金属や金属シリサイドなどからなる導電膜を、スパッタリングなどによって約100～500nmの厚さに堆積する。そして、この導電膜を、同図（j）に示されるように、フォトリソグラフィやエッチング等によってパターンニングして、表示領域にあってはTFT116のソース電極を兼用するデータ線114として形成し、周辺回路領域にあってはソース・ドレイン電極を含めた第2層の配線1404、1414、1424として形成し、また、端子領域にあっては導電膜114bとして形成する。

【0148】続いて、同図（k）に示されるように、第2の層間絶縁膜42を、第2層の配線や第1の層間絶縁膜41などを覆うように、例えば、CVD法等によって

26

約500～1500nmの厚さに堆積する。なお、第2の層間絶縁膜42の材質としては、下地絶縁膜40や第1の層間絶縁膜41と同様に、NSGや、PSG、BSG、BPSGなどのシリケートガラス膜や、窒化シリコン膜、酸化シリコン膜などが挙げられる。

【0149】次に、同図（l）に示されるように、表示領域にあっては、TFT116のドレイン領域に対応した位置に、第2の層間絶縁膜42、第1の層間絶縁膜41および絶縁膜32を開孔させるコンタクトホール53を、ドライエッチング等により形成する。一方、端子領域にあっては、第2の層間絶縁膜42のうち、溝12の輪郭対応部分で囲まれる凸部に位置する部分47を除去して、開孔部42aを設ける。

【0150】なお、開孔部42aを設ける手法としては、第2の層間絶縁膜42のうち、開孔部42aに相当する部分をエッチングなどにより選択的に除去する第1の手法と、溝12の輪郭部分で囲まれる領域に対応する凸部の導電膜114bが露出するまで、第2の層間絶縁膜42をCMP（化学機械的研磨）処理を施す第2の手法との2つに大別される。このうち、後者に係る第2の手法の方が、実装端子107となる部分とその他の部分とがほぼ完全に平坦化される観点から言えば有利である。ただし、前者に係る第1の手法では、第2の層間絶縁膜42のうち、開孔部42に相当する部分を、コンタクトホール53を形成するのと同様な手法により選択的に除去することができるので、工程の簡略化の観点から言えば、第1の手法の方が有利である。

【0151】さて、以後の工程については図示を省略するが、第2の層間絶縁膜42の表面に、ITOなどの透明導電性薄膜を、スパッタリングなどによって約50～200nmの厚さに堆積した後、フォトリソグラフィやエッチング等によって所定の形状（図5参照）にパターンニングして、画素電極118を形成する。この後、ポリイミドなどの有機溶液を基板10における対向面の全面に塗布・焼成する。これにより、配向膜61が形成されることとなる。なお、この配向膜61に対しては、図14に示されるような方向にラビング処理が施される。

【0152】そして、このように形成された素子基板101は、それとは約90度回転させた方向にラビング処理された対向基板102と、シール材104により貼り合わせられた後に、液晶105が封入・封止され、スクライプされて（切り出されて）、図1（a）に示されるような電気光学装置となる。

【0153】なお、素子基板101においては、配向膜61が全面にわたって形成されるが、液晶封止後ではプラズマ処理等により、対向基板102から張り出した部分に形成された配向膜が除去される。このため、端子領域および周辺回路領域における最上層は、配向膜61ではなく、導電膜114bまたは第2の層間絶縁膜42となる（図8また図10参照）。

(15)

27

【0154】このような製造方法によれば、溝12が、端子領域のほか表示領域や周辺回路領域に設けられ、ここに配線や素子が形成されるので、端子領域のみならず、表示領域や周辺回路領域においても、基板の表面における段差が低減されることになる。この際、実装端子107のパッドとなる導電膜114bの下層に設けられる高さ調整用の導電膜22bは、表示領域および周辺回路領域における遮光膜22と同一層を用いて形成され、また同じく高さ調整用の導電膜112bは、表示領域における走査線112と、周辺回路領域における配線1412と同一層からなる導電膜を用いて形成され、さらに、導電膜114bも、表示領域におけるデータ線114と、周辺回路領域における配線1404、1414、1424と同一層からなる導電膜を用いて形成されている。さらに、溝12についても、端子領域のほか表示領域や周辺回路領域において一括して設けられる。したがって、追加されるプロセスがほとんどないので、製造プロセスの複雑化が防止されることとなる。

【0155】＜変形例＞なお、上述した実施形態において、実装端子107となるパッドは、データ線114や第2層の配線1404と同一層の導電膜114bから形成したが、この上に、さらに、別の導電膜を積層しても良い。例えば、図15に示されるように、画素電極118をパターニングする際に、溝12の輪郭対応部分で囲まれる凸部の導電膜114bに、ITOなどの導電膜118bを残しても良い。上述したように、導電膜114bはアルミニウムなどからなるが、アルミニウムは侵されやすい上に、また、FPC (Flexible Printed Circuit) 基板との接合に用いる導電性マイクロカプセルとの密着性が悪いという問題もある。しかしながら、このような問題は、露出した導電膜114bの表面をさらに導電膜118bにより覆うことで解消されることになる。

【0156】＜応用例＞また、実施形態では、端子領域のほかに、表示領域や周辺回路領域についても溝12を形成したが、上述したように、表示領域や周辺回路領域における段差は、画素の配列ピッチと同一倍もしくはその整数倍で発生するため、当該段差に起因する表示ムラは比較的目立たない、と考えられる。そこで、表示領域や周辺回路領域については溝12を設けなくて、端子領域についてのみ溝12を形成しても良いと考える。

【0157】突き詰めて言えば、図14に示されるようにデータ線114の延在方向に一致させてラビング処理する場合、表示領域100aをラビングするバフ布が画素の配列ピッチに依存しないで乱れる領域は、実装端子107と配線171とが形成される領域と、表示領域100aにかかるバフ布が走査する領域190aとの双方に属する領域である。すなわち、図2で言えば領域Bである。したがって、画素の配列ピッチに依存しないで発生する、比較的視認されやすい表示ムラを抑えるだけの目的であれば、この領域Bにおいてのみ溝12を形成す

28

れば良い、と考える。

【0158】なお、図14に示される方向にラビング処理する場合、領域192aについては、たとえ段差に起因してバフ布が乱れたとしても、その毛先が表示領域100aにかからないので、この領域192については（例えば、走査線駆動回路130には）、あえて溝12を形成しなくても良い、と考える。

【0159】そして、端子領域においてのみ溝12を形成する場合には、遮光膜22と同一膜からなる導電膜22b、および、走査線112と同一膜からなる導電膜112bの厚さを考慮しなくても良いから、図16に示されるように、導電膜114bの下層に導電膜を設けなくて、溝12の深さdを、導電膜114bの厚さt₃にほぼ等しくなるように設定すれば良い。

【0160】＜その他＞なお、上述した実施形態にあつては、6本のデータ線114が1ブロックにまとめられて、1ブロックに属する6本のデータ線114に対して、6系統に変換された画像信号VID1～VID6を同時にサンプリングして供給する構成としたが、変換数および同時に印加するデータ線数（すなわち、1ブロックを構成するデータ線数）は、「6」に限られるものではない。例えば、サンプリング回路150におけるサンプリングスイッチ151の応答速度が十分に高いのであれば、画像信号をパラレルに変換することなく1本の画像信号線にシリアル伝送して、データ線114毎に点順次的にサンプリングするように構成しても良い。また、変換および同時に印加するデータ線数を「3」や、「12」、「24」等として、3本や、12本、24本等のデータ線に対して、3系統変換や、12系統変換、24系統変換等した画像信号を同時に供給する構成としても良い。なお、変換数および同時に印加するデータ線数としては、カラーの画像信号が3つの原色に係る信号からなることとの関係から、3の倍数であることが制御や回路などを簡易化する上で好ましい。ただし、後述するプロジェクタのように単なる光変調の用途の場合には、3の倍数であることを要しない。さらに、サンプリングスイッチを同時に制御するのではなく、パラレル変換された画像信号VID1～VID6を順次シフトして供給して、サンプリングスイッチ151を順番に制御する構成としても良い。

【0161】また、上述した実施形態においては、上から下方向へ走査線112を走査する一方、左から右方向へブロックを選択する構成であったが、これとは逆方向で選択する構成でも良いし、用途に応じていずれかの方向を選択可能とする構成でも良い。

【0162】さらに、上述した実施形態においては、素子基板101にプレーナ型のTFT116等が形成されていたが、本発明は、これに限られない。例えば、TFT116をボトムゲート型で構成しても良い。また、素子基板101を半導体基板で構成するとともに、ここ

(16)

29

に、TFT 116に代えて相補型トランジスタを形成しても良い。さらに、SOI (Silicon On Insulator) の技術を適用し、サファイヤ、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板101としても良い。ただし、素子基板101が透明性を有しない場合、画素電極118をアルミニウムで形成したり、別途反射層を形成したりするなどして、液晶装置100を反射型として用いる必要がある。

【0163】＜プロジェクタ＞次に、上述した電気光学装置を適用した電子機器について説明する。実施形態に係る電気光学装置については、種々の電子機器、例えばパソコンや、液晶テレビ、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話、タッチパネルを備えた機器等などに適用可能である。

【0164】ここで、本発明により解消しようとする表示ムラ、すなわち、ラビング方向に沿ったスジ状の表示ムラは、直視型では比較的問題にならないが、表示像を投射するプロジェクタにおいては無視できない程度にまで拡大される。

【0165】そこで、電子機器の一例として、このようなプロジェクタを挙げて説明することとする。ここで、プロジェクタとは、上述した液晶装置100をライトバルブとして用いたものであり、図17は、この構成を示す平面図である。この図に示されるように、プロジェクタ2100内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した実施形態に係る液晶装置100と同様であり、画像信号を入力する処理回路（ここでは図示省略）から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。また、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0166】さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成された後、スクリ

30

ーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0167】なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像はダイクロイックミラー2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる表示像を、ライトバルブ100Gによる表示像に対して左右反転させる構成となっている。

【0168】

【発明の効果】以上説明したように本発明によれば、基板の表面、特に実装端子およびこれに至る配線が形成される領域の段差が低減されるので、不均一なラビング処理に起因する表示上の不具合の発生を抑制することが可能となる。

【図面の簡単な説明】

【図1】 (a) は、本発明の実施形態に係る電気光学装置の液晶装置の構成を示す斜視図であり、(b) は、(a) のA-A' 線の断面図である。

【図2】 同液晶装置の電気的な構成を示すブロック図である。

【図3】 同液晶装置の表示領域における等価回路を示す図である。

【図4】 同液晶装置の動作を説明するためのタイミングチャートである。

【図5】 同液晶装置の表示領域における画素の詳細構成を示す平面図である。

【図6】 図4のB-B' 線の断面図である。

【図7】 同液晶装置の周辺領域におけるインバータ回路の詳細構成を示す平面図である。

【図8】 図6のC-C' 線の断面図である。

【図9】 同液晶装置における実装端子近傍に形成される溝の構成を示す斜視図である。

【図10】 図9のD-D' 線の断面図であり、同液晶装置における実装端子と、この実装端子に至る配線との構成を示す断面図である。

【図11】 (a) ~ (d) は、それぞれ同液晶装置における素子基板の製造プロセスを示す断面図である。

【図12】 (e) ~ (h) は、それぞれ同液晶装置における素子基板の製造プロセスを示す断面図である。

【図13】 (i) ~ (l) は、それぞれ同液晶装置における素子基板の製造プロセスを示す断面図である。

【図14】 同液晶装置における素子基板のラビング方向を示す平面図である。

【図15】 本発明の変形例に係る実装端子と、この実装端子に至る配線との構成を示す断面図である。

【図16】 本発明の応用例に係る実装端子と、この実

(17)

31

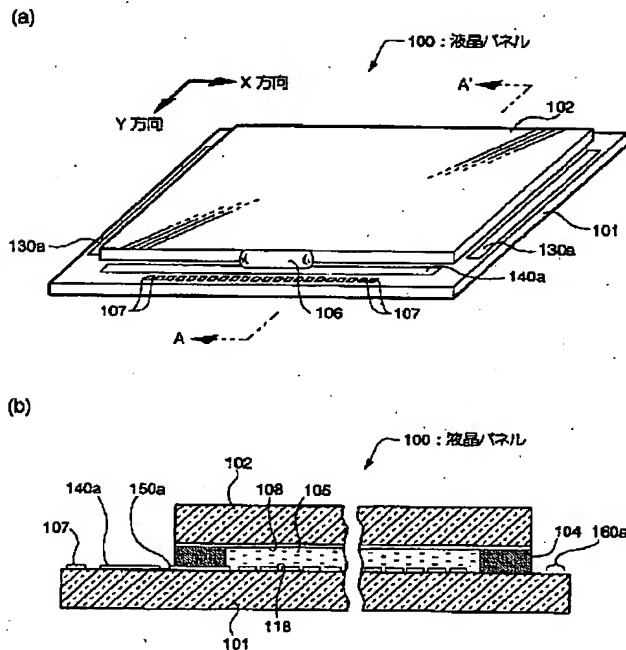
装端子に至る配線との構成を示す断面図である。

【図17】 実施形態に係る電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【符号の説明】

10…基板
12…溝
22…遮光膜
22b…導電膜
30…半導体層
40…下地絶縁膜
41…第1の層間絶縁膜
42…第2の層間絶縁膜
61…配向膜
100…液晶装置
101…素子基板
102…対向基板
105…液晶

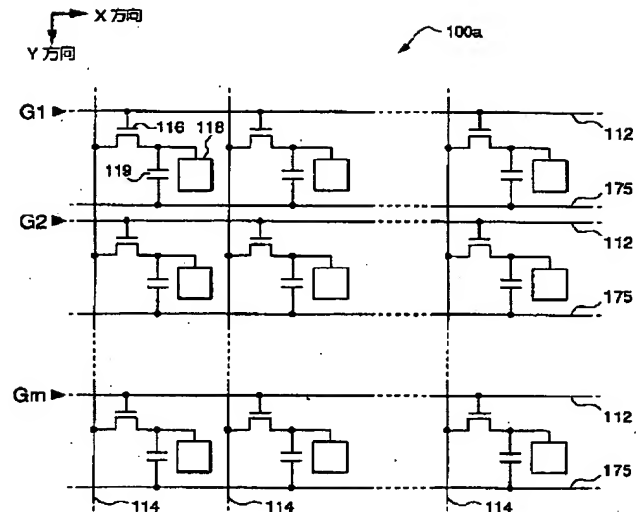
【図1】



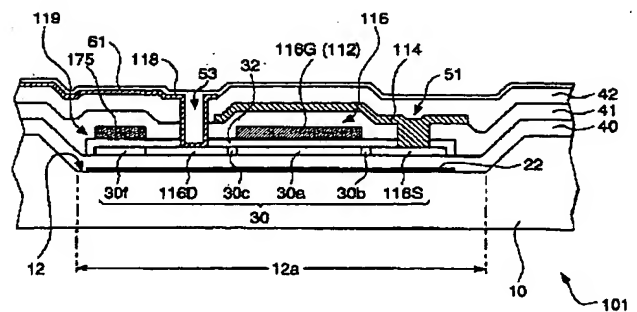
32

107…実装端子
108…対向基板
112…走査線
112b…導電膜
114…データ線
114b…導電膜
116…TFT
118…画素電極
119…蓄積容量
122…画像信号線
130…走査線駆動回路
140…データ線駆動回路
150…サンプリング回路
151…サンプリングスイッチ
171、173…配線
175…容量線
2100…プロジェクタ

【図3】

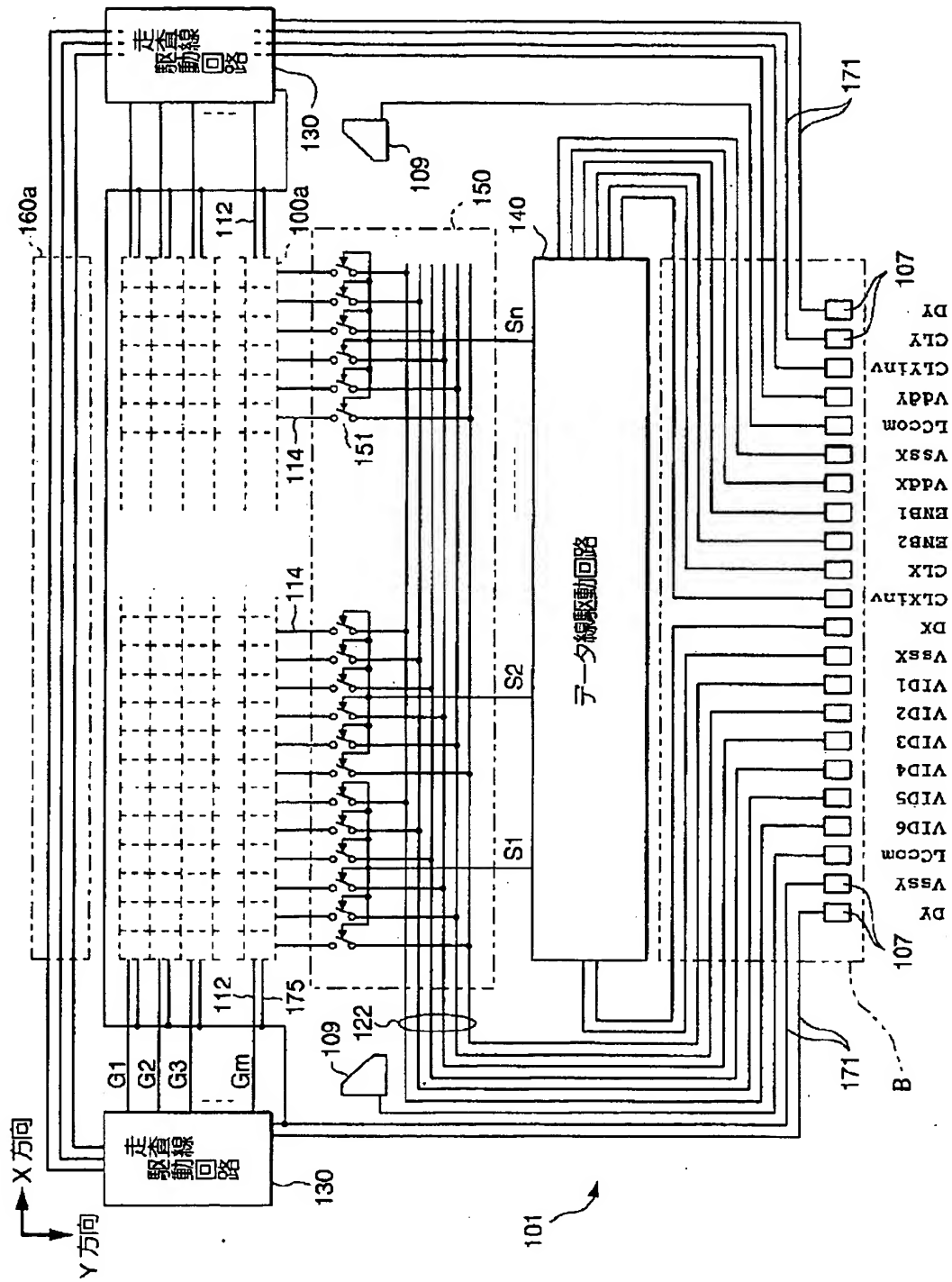


【図6】



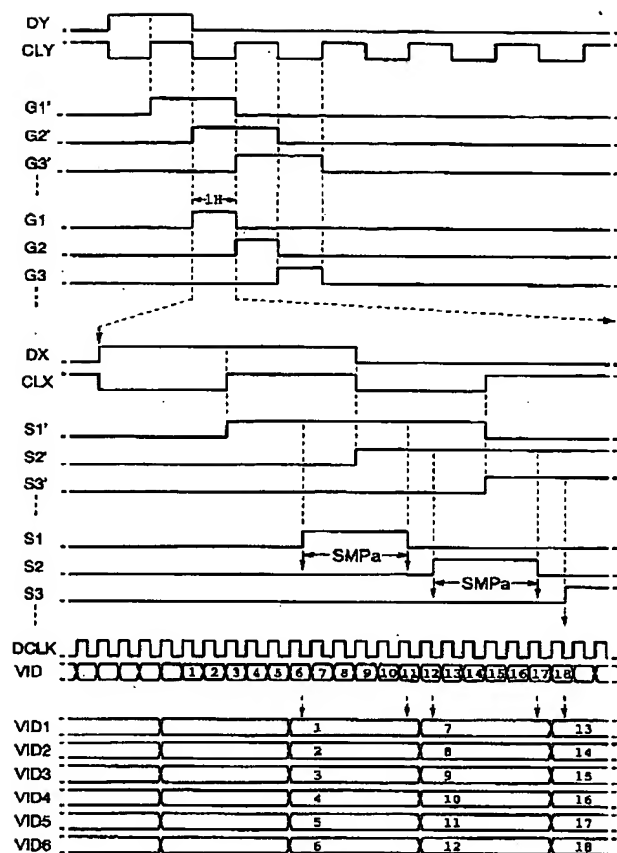
(18)

【図 2】

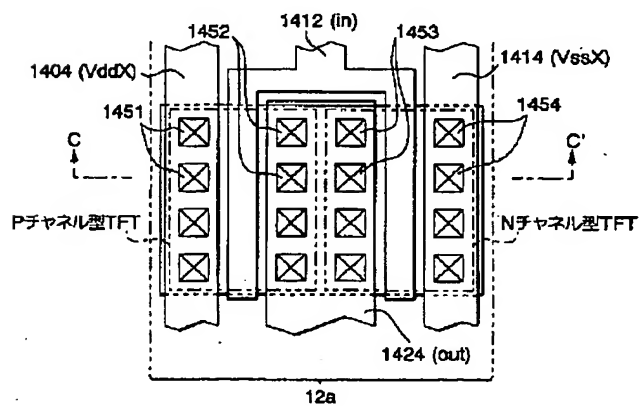


(19)

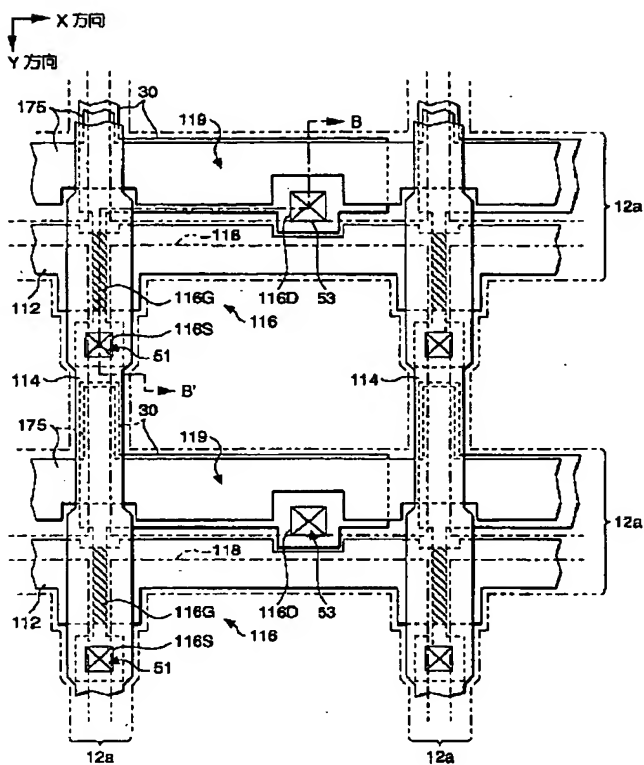
【図4】



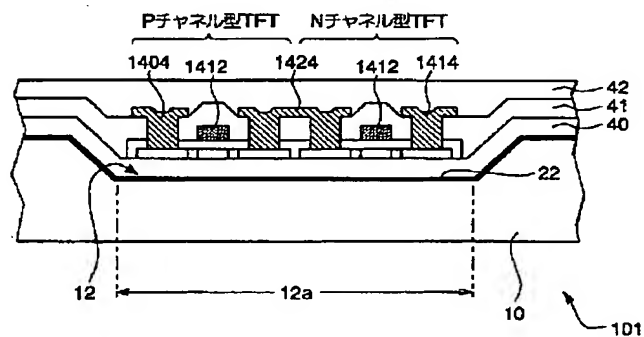
【図7】



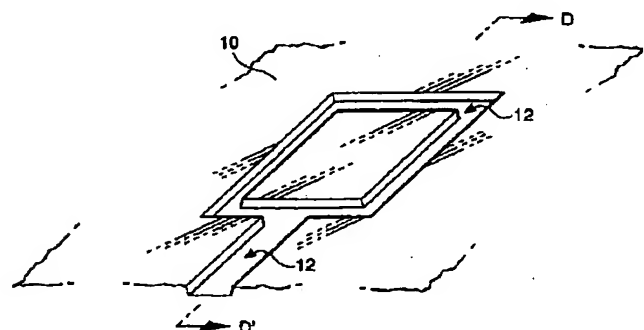
【図5】



【図8】

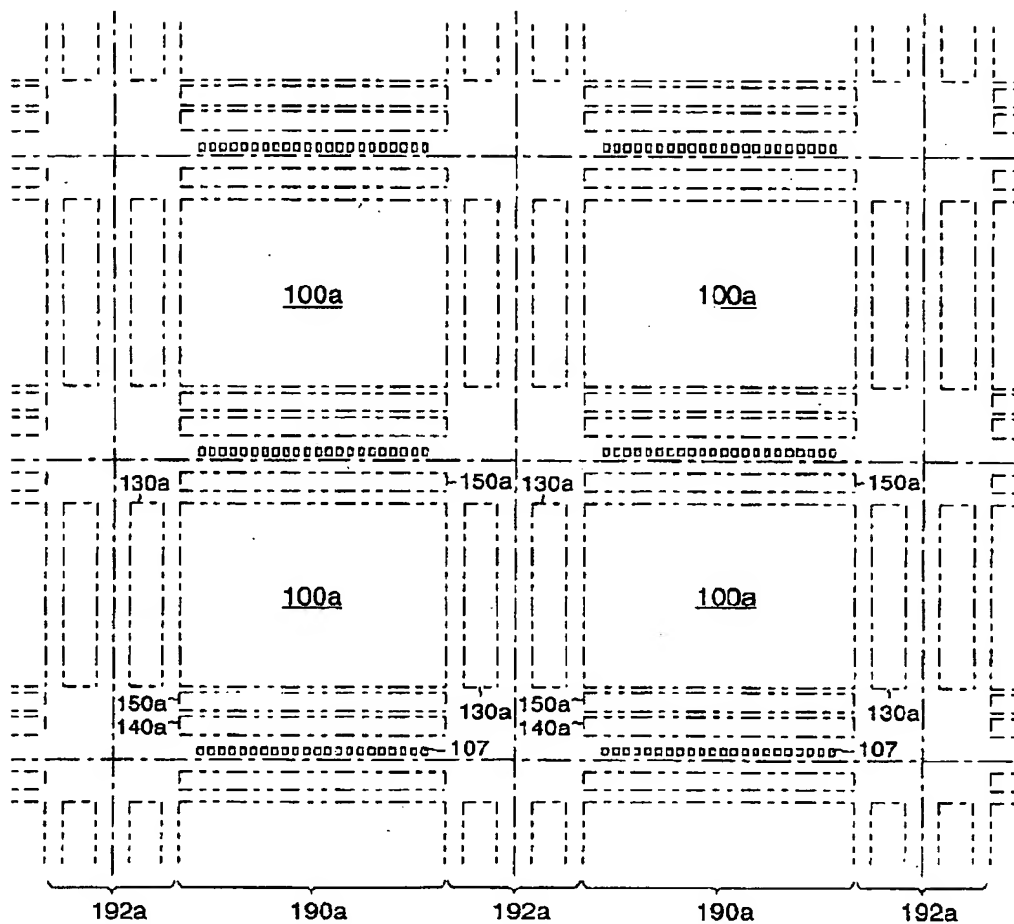


【図9】



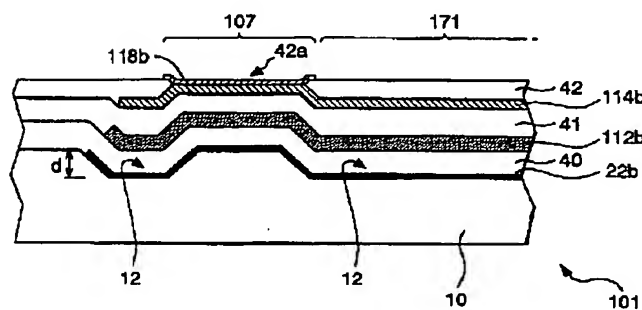
(21)

【図14】

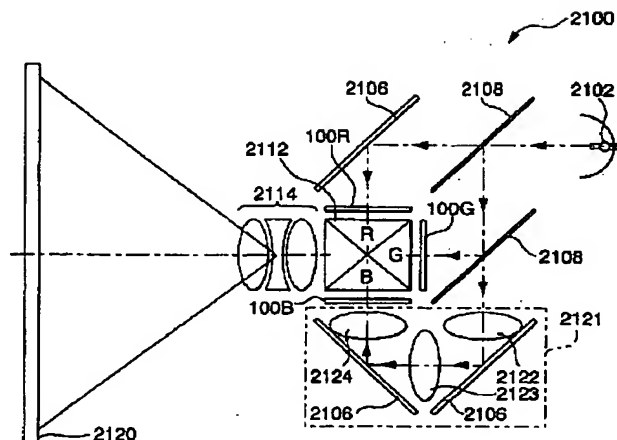


↑ ラビング方向

【図15】



【図17】



(22)

フロントページの続き

Fターム(参考) 2H090 HA04 JA02 LA01 LA04 LA11
LA12 LA16

2H092 GA32 GA50 JA24 JA34 JA37
JA41 JA46 JB22 JB31 KB13
KB25 MA05 MA07 MA18 NA01
NA28 NA29 PA01 PA02 PA06
PA11 PA13

5C094 AA42 AA43 BA03 BA43 CA19
DA14 DA15 EA04 EA07 FB15